Αρχιτεκτονική Υπολογιστών

- Εισαγωγή στον Η/Υ BGC-8088 και τον Μ/Ε Intel 8088
- Ιστορία και εξέλιξη των Υπολογιστών
- Βασικά ψηφιακά κυκλώματα (Πύλες, ολοκληρωμένα κυκλώματα, συνδυαστικά κυκλώματα, αθροιστές, ALU, κυκλώματα ρολογιού, μνήμες
- Συστήματα με Μικροεπεξεργαστές (ιστορική εξέλιξη, εσωτερική αρχιτεκτονική, μέθοδοι κατασκευής, είδη υπολογιστών)
- Εσωτερική δομή Μικροεπεξεργαστών (καταχωρητές, ALU, μονάδα ελέγχου, δίαυλος, μνήμη cache, τεχνολογίες)
- Εντολές γλώσσας μηχανής (κύκλοι εντολών, φάσεις εκτέλεσης, κατηγορίες εντολών, παραλληλία εντολών, CISC και RISK)
- Σήματα ελέγχου (μνήμης, περιφερειακών συσκευών, DMA, σήματα διακοπής, σήματα κατάστασης, λοιπά σήματα ελέγχου)
- Διασύνδεση CPU και περιφερειακών συσκευών (DMA, INT)
- Μνήμη (Ιεραρχία, οργάνωση μνήμης, ανάγνωση/εγγραφή, είδη μνήμης RAM-ROM, τεχνολογίες, κώδικες διόρθωσης λαθών)
- Η μνήμη cache (Αρχές λειτουργίας, μέθοδοι σχεδίασης-υλοποίησης)
- Δίαυλοι επικοινωνίας (ISA, PCI, PCMCIA, USB, FireWire,AGP)

Σπύρος Καζαρλής

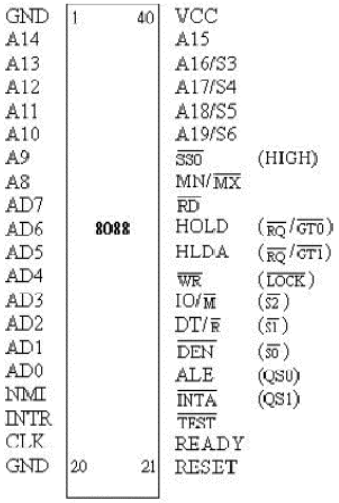
Ο Εκπαιδευτικός Η/Υ BGC-8088

- Βασίζεται στον Intel 8088-2 (4,77 και 8 MHz), που είναι έκδοση διπλού χρονισμού του 8088 (4,77) του πρώτου IBM PC.
- Είναι ο πρόγονος όλων των Μ/Ε 80x86 και Pentium της Intel, οι οποίοι είναι όλοι συμβατοί με αυτόν.
- Έχει 32K RAM και 16K ROM που μπορούν να επεκταθούν με άλλα 16 K ROM με προγράμματα του χρήστη.

- Έχει πληκτρολόγιο 56 πλήκτρων σε διάταξη QWERTY, και μία LCD οθόνη 2 γραμμών και 40 χαρ. (προαιρετικά Hercules κάρτα για 80X24)
- Έχει 2 ISA-8 62 pins, σειριακή RS232-C, παράλληλη, και ειδική θύρα σύνδεσης εκπαιδευτικών πλακετών των 50 pin (address, data, control).
- Έχει έναν Programmable Interval Timer Intel 8254, (σήματα χρονισμού και counter), ένα Programmable Peripheral Interface Intel 8255 (3 8-bit θύρες Εισόδου / Εξόδου), και έναν Programmable Interrupt Controller – Intel 8259A που παρέχει 8 γραμμές διακοπών interrupts.

Ο μικροεπεξεργαστής Intel 8088

- Ο 8088 είναι ένας Μ/Ε με εσωτερική αρχιτεκτονική των 16 bit (χρησιμοποιεί καταχωρητές των 16 bit) αλλά έχει Δίαυλο Δεδομένων (Data Bus) των 8 bit για επικοινωνία με την μνήμη και τις Π.Σ., κάτι που κάνει πιο φθηνή την κατασκευή Μ/Β και περιφερειακών σε σχέση με τον 8086. Επίσης έχει Δίαυλο Διευθύνσεων (Address Bus) των 20 bit, οπότε και μπορεί να απευθυνθεί σε 2^{20} = 1048576 = 1MB μνήμη (RAM και ROM).
- Διαθέτει 14 καταχωρητές των 16 bit για γενικές και ειδικές λειτουργίες, μερικοί από τους οποίους μπορούν να χωρισθούν σε δύο καταχωρητές των 8-bit.
- Διαθέτει 90 συνολικά εντολές που έχουν 24 συνολικά διαφορετικούς τρόπους σύνταξης (addressing modes). Περιλαμβάνουν αριθμητικές πράξεις στα 8 ή 16 bit, με πρόσημο ή χωρίς, (περιλαμβ. πολ/σμος και διαίρεση).



Οι καταχωρητές του 8088

Ονομα Καταχωρητή	Δομή		Χρήση
	8 bits	8 bits	
AX	AH	AL	Accumulator (Συσσωρευτής)
BX	BH	BL	Base (Καταχωρητής Βάσης)
CX	CH	CL	Counter (Μετρητής)
DX	DH	DL	Data (Δεδομένα)
BP			Base Pointer (Δείκτης Βάσης)
SI			Source Index (Δείκτης Πηγής)
DI			Destination Index (Δείκτης Κατεύθυνσης)
SP			Stack Pointer (Δείκτης Στοίβας)
IP			Instruction Pointer (Δείκτης Εντολής)
CS			Code Segment (Τμήμα Κώδικα)
DS			Data Segment (Τμήμα Δεδομένων)
SS			Stack Segment (Τμήμα Στοίβας)
ES			Extra Segment (Εξτρα Τμήμα)
FG			FlaG Register (Καταχωρητής Σημαιών)

Καταχωρητές γενικής και ειδικής χρήσης

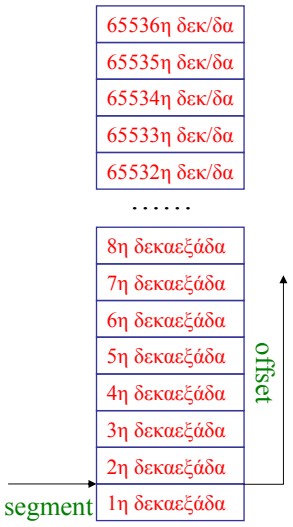
- Οι **καταχωρητές AX, BX, CX, DX** μπορούν να θεωρηθούν και ως διπλοί καταχωρητές των 2x8 bit. Για παράδειγμα ο χρήστης μπορεί να προσπελάσει τον καταχωρητή AX και μέσω των δύο 8-bit καταχωρητών AH και AL. Ο AH αντιστοιχεί στο υψηλότερης τάξης τμήμα του AX (δηλαδή τα bits 8-15) ενώ ο AL αντιστοιχεί στο χαμηλότερης τάξης τμήμα του AX (δηλαδή τα bits 0-7). Το ίδιο συμβαίνει αντίστοιχα και για τους καταχωρητές BX, CX και DX. Οι καταχωρητές αυτοί είναι γενικής χρήσης, δηλαδή μπορούν να μεταφέρουν δεδομένα προς και από τη μνήμη, να εκτελέσουν αριθμητικές πράξεις κλ.π. Ο Συσσωρευτής όμως (AX) είναι πιο σημαντικός από τους υπόλοιπους καθώς συγκεκριμένες εντολές και τρόποι προσπέλασης μνήμης εκτελούνται μόνο με αυτόν, όπως ο πολλαπλασιασμός και η διαίρεση.
- Οι καταχωρητές **CS, DS, SS, ES είναι καταχωρητές τμημάτων** (segment registers) και χρησιμοποιούνται για την προσπέλαση μνήμης του 8088 η οποία γίνεται με τμήματα (segments) και μετατοπίσεις (offsets).

Η προσπέλαση μνήμης στον 8088

- Ο επεξεργαστής 8088 μπορεί να προσπελάσει 1MB μνήμης έχοντας address bus με 20 γραμμές διευθύνσεων (2^{20}=1048576). Για συμβατότητα όμως με τον προηγούμενο επεξεργαστή της INTEL, τον 8080, κατασκευάστηκε με καταχωρητές διευθύνσεων των 16 bits (2^{16}=65536). Έτσι επινοήθηκε η μέθοδος των παραγράφων (paragraphs), σύμφωνα με την οποία, κάθε διεύθυνση των 16 bits δεν αναφέρεται σε απόλυτη διεύθυνση αλλά στην αρχή μίας δεκαεξάδας από bytes (π.χ. η διεύθυνση 0001_{16} αναφέρεται στην αρχή της πρώτης δεκαεξάδας μνήμης : 00010_{16}=16, η 0002_{16} στην αρχή της δεύτερης δεκαεξάδας μνήμης : 00020_{16}=32 κ.λ.π.). Η τελευταία δεκαεξάδα είναι η $FFFF_{16}$ που αναφέρεται στην διεύθυνση $FFFF0_{16}$ = 1048560.
- Για την προσπέλαση οποιασδήποτε διεύθυνσης μνήμης εκτός από την διεύθυνση παραγράφου (segment) χρειάζεται και μία διεύθυνση μετατόπισης (offset). Έτσι οι διευθύνσεις σχηματίζονται ως segment:offset. Η μετατόπιση (offset) θα αρκούσε να είναι των 4 bits (2^4=16) έτσι ώστε να προσδιορίζει το byte της δεκαεξάδας. Για λόγους ομοιογένειας όμως το offset είναι επίσης των 16 bits και μπορεί να δώσει 2^{16}=65536 διαφορετικές διευθύνσεις πάνω από την αρχή της παραγράφου, και όχι μόνο 16.

Η προσπέλαση μνήμης στον 8088 - Β'

- Έτσι έχοντας το segment σταθερό και αλλάζοντας το offset, προφανώς «μπαίνουμε» και στον χώρο των επόμενων δεκαεξάδων της μνήμης. Από τα παραπάνω είναι κατανοητό ότι δεν είναι μονοσήμαντη η διευθυνσιοδότηση μνήμης με την μέθοδο segment:offset, δηλαδή για κάθε απόλυτη διεύθυνση μνήμης υπάρχουν πολλοί συνδυασμοί segment:offset που την προσδιορίζουν (π.χ. το 17ο byte μνήμης έχει διεύθυνση 0001:0001 αλλά και 0000:0011).
- Για να βρούμε την απόλυτη διεύθυνση μνήμης ακολουθούμε τον απλό τύπο : Απόλυτη διεύθυνση = segment X 16 + offset.
- Έτσι οι καταχωρητες τμημάτων (CS,DS,SS,ES) φτιάχτηκαν για να καταχωρούν το κομμάτι 'segment' από την έκφραση «segment:offset» των διευθύνσεων μνήμης που σχηματίζονται στον επεξεργαστή κατά την διάρκεια της λειτουργίας του και της εκτέλεσης εντολών.



Τμήματα προγράμματος και καταχωρητές

- Κάθε πρόγραμμα αποτελείται από 3 τμήματα που είναι :

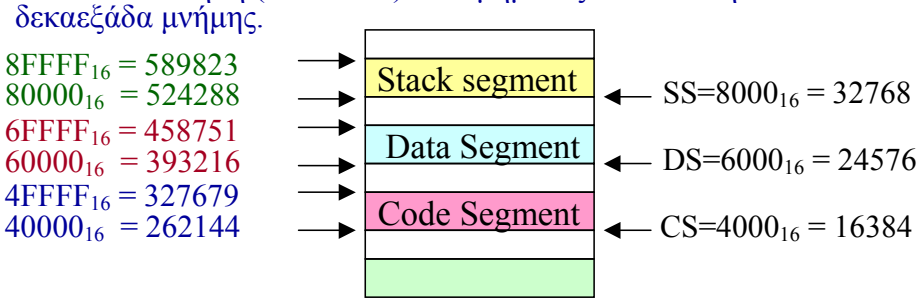
1. Το τμήμα κώδικα (code segment) όπου βρίσκεται το ίδιο το πρόγραμμα,
2. Το τμήμα δεδομένων (data segment) όπου βρίσκονται οι μεταβλητές του προγράμματος και,
3. Το τμήμα στοίβας (stack segment) που χρησιμοποιείται για την στοίβα του προγράμματος (stack) που είναι ένα τμήμα μνήμης το οποίο προσπελαύνεται από τον 8088 με δομή LIFO και χρησιμοποιείται για προσωρινή αποθήκευση δεδομένων (π.χ. προσωρινή αποθήκευση καταχωρητών, πέρασμα παραμέτρων σε υπορουτίνες, κ.λ.π)

- Έτσι ο 8088 έχει έναν καταχωρητή τμήματος για κάθε ένα από τα 3 αυτά τμήματα, που «δείχνει» την δεκαεξάδα στην οποία ξεκινάει το κάθε τμήμα. Οι καταχωρητές αυτοί είναι :

1. Ο CS (code segment register) που δείχνει στο τμήμα κώδικα,
2. Ο DS (data segment register) που δείχνει στο τμήμα δεδομένων, και
3. Ο SS (stack segment register) που δείχνει στο τμήμα στοίβας.

Τμήματα προγράμματος και καταχωρητές Β'

- Ο ES (Extra segment register) χρησιμοποιείται ως «γενικής χρήσης» καταχωρητής τμήματος που μπορεί να «δείξει» σε οποιοδήποτε άλλο τμήμα (δεκαεξάδα) της μνήμης χωρίς να «χαλάσει» τις τιμές των CS,DS,SS που είναι αφιερωμένοι για άλλο σκοπό.
- Το κάθε τμήμα (κώδικα, δεδομένων, στοίβας, έξτρα) έχοντας σταθερή διεύθυνση segment, μπορεί μέσω του μεταβλητού 16μπιτου offset να έχει μέγεθος μέχρι 64K (0000..FFFF). Αλλάζοντας τιμή στον segment register κάποιου τμήματος είναι δυνατή η επανατοποθέτηση (relocation) του τμήματος σε οποιαδήποτε δεκαεξάδα μνήμης.

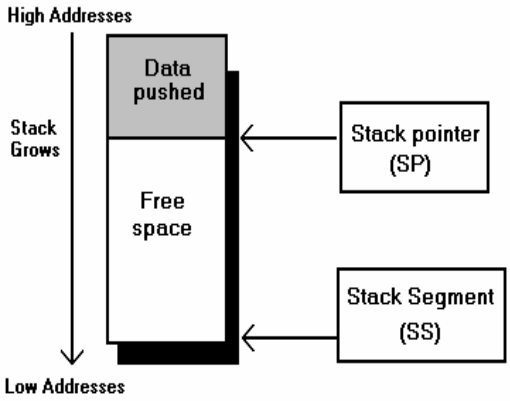


Καταχωρητές Offset

- Για την αποθήκευση του "offset" κομματιού της διεύθυνσης μνήμης που είναι σε μορφή «segment:offset» χρησιμοποιούνται άλλοι καταχωρητές του 8088. Για παράδειγμα, ο καταχωρητής IP (Instruction Pointer) κρατάει το 'offset' κομμάτι της διεύθυνσης που δείχνει πάντα την επόμενη εντολή που θα εκτελεστεί. Το 'segment' κομμάτι της διεύθυνσης το κρατάει ο καταχωρητής CS (code segment register). Έτσι η διεύθυνση μνήμης που σχηματίζεται από τους καταχωρητές CS:IP είναι πάντα η διεύθυνση της επόμενης εντολής κώδικα μηχανής που θα εκτελεστεί.
- Λαμβάνοντας υπ' όψιν ότι η αρχική τιμή του καταχωρητή IP είναι 0000, συμπεραίνουμε ότι τα προγράμματα που γράφουμε στον BGC-8088 ξεκινούν εξ' ορισμού από την διεύθυνση : 0100:0000 που μεταφράζεται σε απόλυτη διεύθυνση : 01000_{16}=4096_{10}.
- Παράδειγμα 2: Η εντολή CMPSB συγκρίνει ένα byte ενός string από την διεύθυνση DS:SI με ένα byte ενός άλλου string στην διεύθυνση ES:DI, επηρεάζοντας τις σημαίες (flags). Εδώ οι SI (Source Index) και DI (Destination Index) έχουν καταχωρημένα τα offset.

Ειδικοί Καταχωρητές

- Στο σετ των καταχωρητών του 8088 υπάρχουν και ειδικοί καταχωρητές όπως :
- Ο καταχωρητής IP (Instruction Pointer) που δείχνει την επόμενη εντολή που θα εκτελεστεί (μέσα στο Τμήμα Κώδικα – Code Segment)
- Ο καταχωρητής SP (Stack Pointer) ο οποίος δείχνει το σημείο μέχρι το οποίο έχει γεμίσει η στοίβα (stack) μέσα στο Τμήμα Στοίβας (Stack Segment). Ο καταχωρητής ξεκινά με μεγάλη τιμή (0B3F) και όσο γεμίζει το stack αυτός μειώνεται (το stack γεμίζει από πάνω προς τα κάτω, δηλαδή από μεγάλες διευθύνσεις προς μικρότερες).



Ο Καταχωρητής Σημαιών

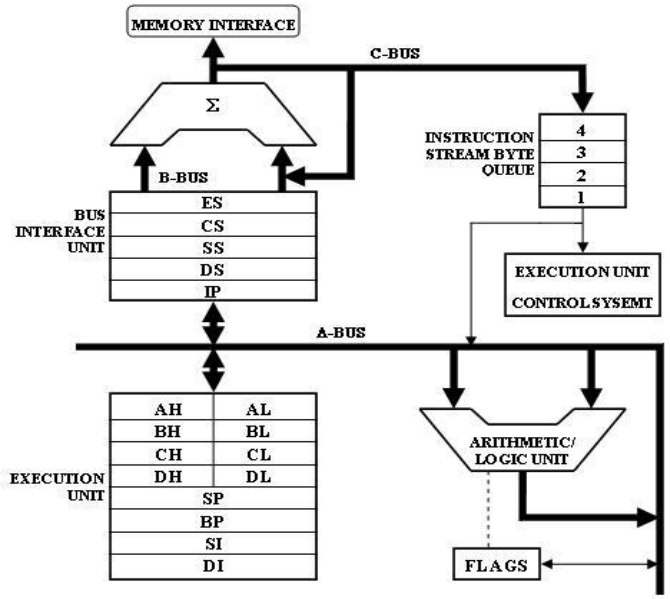
- Ο καταχωρητής FG (Flag Register) ο οποίος περιέχει σημαίες (flags) που δείχνουν ή καθορίζουν την κατάσταση του επεξεργαστή.

Bit	Ονομασία	Συντ	Εξήγηση
0	Carry Flag	CY	Κρατούμενο, γίνεται 1 όταν αποτελέσματα πράξεων ξεπερ-νούν το όριο των 16 bits.
1	*Δεν χρησιμοποιείται*		
2	Parity Flag	PF	Σημαία Ισοτιμίας, γίνεται 1 όταν το αποτέλεσμα μίας πράξης έχει ζυγό αριθμό μονάδων.
3	*Δεν χρησιμοποιείται*		
4	Auxiliary Carry	AF	Βοηθητικό Κρατούμενο, γίνεται 1 όταν μεταφέρεται κρατούμενο από το byte χαμηλής τάξης στο byte υψηλής τάξης (low nibble carry)
5	*Δεν χρησιμοποιείται*		
6	Zero Flag	ZF	Σημαία Μηδενός, γίνεται 1 όταν το αποτέλεσμα μίας πράξης π.χ. ADD σε οποιοδήποτε καταχωρητή, είναι ίσο με 0.

Ο Καταχωρητής Σημαιών Β'

Bit	Ονομασία	Συντ	Εξήγηση
7	Sign Flag	SF	Σημαία Προσήμου, γίνεται 1 όταν το αποτέλεσμα μίας πράξης είναι αρνητικός αριθμός.
8	Trap Flag	TF	Σημαία Βηματικής Εκτέλεσης, όταν είναι 1 εκτελεί τις εντολές βήμα-βήμα για debugging.
9	Interrupt Flag	IF	Σημαία Αποδοχής Διακοπών, όταν είναι 1 επιτρέπεται η διακοπή του προγ/τος από interrupts
10	Direction Flag	DF	Σημαία Κατεύθυνσης, 1 = οι εντολές string εκτελούνται από υψηλές δ/νσεις προς χαμηλές.
11	Overflow Flag	OF	Σημαία Υπερχείλισης, γίνεται 1 όταν το αποτέλεσμα μίας πράξης ξεπερνά το όριο των προσημασμένων αριθμών δηλαδή -32768…+32767
12	*Δεν χρησιμοποιείται*		
13	*Δεν χρησιμοποιείται*		
14	*Δεν χρησιμοποιείται*		
15	*Δεν χρησιμοποιείται*		

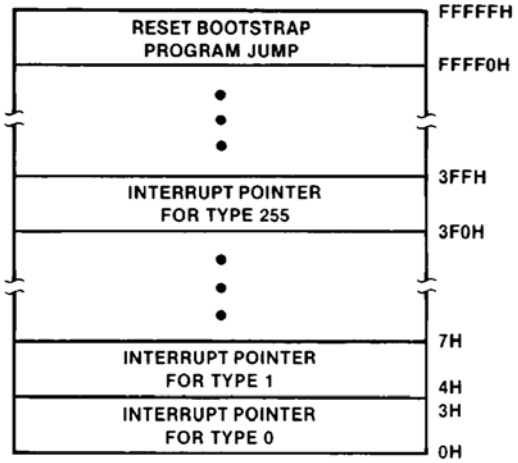
Λειτουργικό Διάγραμμα Καταχωρητών



Η μνήμη του BGC-8088

- Ο BGC-8088 έχει 32K RAM και 16K ROM επεκτάσιμα με άλλα 16 K ROM με προγράμματα του χρήστη. Θεωρητικά θα μπορούσε να φιλοξενήσει έως και 1MB μνήμη (RAM + ROM).
- Η RAM μνήμη είναι χαρτογραφημένη στις διευθύνσεις 00000_{16} … $07FFF_{16}$ (0…32767). Οι πρώτες 4096 διευθύνσεις είναι δεσμευμένες και χρησιμοποιούνται από το πρόγραμμα MONITOR (00000_{16} … $00FFF_{16}$). Από αυτές οι πρώτες 1024 διευθύνσεις (00000_{16} … $003FF_{16}$) περιέχουν τις διευθύνσεις των ρουτινών εξυπηρέτησης των διακοπών (vectors of interrupt handler routines – interrupt vectors).
- Οι διακοπές μπορεί να είναι μέχρι και 256 και για κάθε ρουτίνα η διεύθυνσή της αποτελείται από 4 byte (2 segment + 2 offset). Για παράδειγμα η διεύθυνση της ρουτίνας εξυπηρέτησης της διακοπής 85 (INT 85), που όταν εκτελεστεί επανεκκινεί το πρόγραμμα MONITOR, βρίσκεται στην θέση 00214_{16} = 85_{16} x 4. Εκεί υπάρχουν διαδοχικά τα bytes 9F 01 00 FC. Τα πρώτα 2 είναι low και high bytes του offset, και τα 2 επόμενα τα low και high bytes του segment. Έτσι η πραγματική διεύθυνση της ρουτίνας εξυπηρέτησης της διακοπής 85 είναι η FC00:019F. Η διεύθυνση αυτή είναι στην ROM του μηχανήματος.

Τα interrupt vectors και το jump εκκίνησης



- Οι υπόλοιπες 28672 θέσεις μνήμης είναι διαθέσιμες για προγράμματα του χρήστη (01000_{16} … $07FFF_{16}$).
- Για τον λόγο αυτό ο καταχωρητής CS έχει την εξ' ορισμού τιμή 0100 (0100:0000 = απόλυτη διεύθυνση 01000).

Η μνήμη ROM του BGC-8088

- Τα 16 KB της μνήμης ROM που περιλαμβάνουν το πρόγραμμα MONITOR και τους drivers είναι χαρτογραφημένα στις διευθύνσεις $FC000_{16}$ … $FFFFF_{16}$.
- Τα 16K ROM που μπορεί να προσθέσει ο χρήστης (ελεύθερο slot μνήμης) χαρτογραφούνται στις διευθύνσεις $F8000_{16}$ … $FBFFF_{16}$.
- Κατά την εκκίνηση (εφαρμογή τροφοδοσίας) και κατά την επανεκκίνηση (reset) του μηχανήματος, ο 8088 αλλά και όλοι οι απόγονοί του στην σειρά X86 και Pentium της INTEL, ξεκινούν με την εκτέλεση της εντολής που βρίσκεται στην διεύθυνση $FFFF0_{16}$, που είναι στην ROM.
- Η εντολή αυτή συνήθως είναι ένα JMP στην ρουτίνα εκκίνησης του Λειτουργικού Συστήματος (του προγράμματος MONITOR στην περίπτωση του BGC-8088) που είναι σε μόνιμη μνήμη ROM (BIOS για τα PC).

Ο χάρτης μνήμης του BGC-8088

Περιοχή Μνήμης	**Διευθύνσεις**	**Χώρος (bytes)**
Εντολή εκκίνησης του συστήματος	FFFFF FFFF0	00010_{16} 16_{10}
ROM που περιέχει το πρόγραμμα MONITOR και τους drivers	FFFEF FC000	$03FF0_{16}$ 16368_{10}
Χώρος για ROM με προγράμματα του χρήστη (ελεύθερο slot μνήμης)	FBFFF F8000	04000_{16} 16384_{10}
Χώρος διευθύνσεων που δεν αντιστοιχεί σε chip μνήμης	F7FFF 08000	$F0000_{16}$ 983040_{10}
Ελεύθερος χώρος για προγράμματα του χρήστη	07FFF 01000	07000_{16} 28672_{10}
Περιοχή Μεταβλητών του προγράμματος MONITOR	00FFF 00400	$00C00_{16}$ 3072_{10}
Διευθύνσεις των ρουτινών εξυπηρέτησης των διακοπών – Interrupt Vectors	003FF 00000	00400_{16} 1024_{10}

Οι Εντολές Γλώσσας Μηχανής του 8088

- Ο Intel 8088 έχει 90 συνολικά εντολές Γλώσσας Μηχανής, Κάθε τέτοια εντολή συντάσσεται με έως και 30 διαφορετικούς τρόπους. Κάθε συνδυασμός Εντολή-Τρόπος Σύνταξης έχει τον δικό του κωδικό εντολής (operation code ή opcode) και παραμέτρους που είναι συνήθως , σταθερά νούμερα, καταχωρητές ή θέσεις μνήμης.

- Οι εντολές του 8088 χωρίζονται σε 6 κατηγορίες που είναι :

1. Εντολές Μεταφοράς δεδομένων (Data Transfer Commands)
2. Εντολές Αριθμητικών Πράξεων (Arithmetic Commands)
3. Εντολές Λογικών Πράξεων (Logic Commands)
4. Εντολές χειρισμού αλφαριθμητικών (String Manipulation Commands)
5. Εντολές Ελέγχου Ροής Προγράμματος (Program Flow Control Commands)
6. Εντολές Ελέγχου του Επεξεργαστή (Processor Control Commands)

Εντολές Μεταφοράς Δεδομένων

α/α	Εντολή	Εξήγηση	Λειτουργία
1	MOV	Move (Μετακίνηση)	Μεταφέρει δεδομένα μεταξύ καταχωρη-τών και μνήμης
2	PUSH	Push (Ώθησε στη στοίβα)	Ωθεί τους καταχωρητές στη στοίβα
3	POP	Pop (Ανέκτησε από στοίβα)	Ανακτά τιμές καταχωρητών από τη στοίβα
4	XCHG	Exchange (Ανταλλαγή)	Ανταλλάσσει τιμές καταχωρητών και μνήμης
5	IN	Input (Είσοδος από θύρα)	Διαβάζει δεδομένα από θύρα I/O
6	OUT	Output (Έξοδος σε θύρα)	Εξάγει δεδομένα σε θύρα I/O
7	XLAT	Translate (μετατροπή βάσει πίνακα αντιστοίχισης)	Ψάχνει σε look-up table στη θέση DS:BX+AL και αντικαθιστά τον AL
8	LAHF	Load AH with Flags	Βάζει τις σημαίες στον AH
9	SAHF	Store AH into Flags	Αντιγράφει τον AH στις σημαίες

Εντολές Αριθμητικών Πράξεων

α/α	Εντολή	Εξήγηση	Λειτουργία
1	ADD	Add (Πρόσθεση χωρίς κρ.)	Προσθέτει χωρίς κρατούμενο
2	ADC	Add with Carry (Πρόσθεση με κρατούμενο)	Προσθέτει με κρατούμενο
3	INC	Increment (Αύξηση)	Αυξάνει καταχωρητές κατά 1
4	SUB	Subtract (Αφαίρεση χωρίς δανεικό)	Αφαιρεί χωρίς να χρησιμοποιεί δανεικό
5	SBB	Subtract with Borrow	Αφαιρεί με χρήση δανεικού
6	DEC	Decrement (Μείωση)	Μειώνει καταχωρητές κατά 1
7	NEG	Negative (Αρνητικό)	Αλλάζει το πρόσημο του αριθμού
8	CMP	Compare (Σύγκριση)	Συγκρίνει τα περιεχόμενα καταχωρητών και μνήμης
9	MUL	Multiply (Πολλαπλασιασμός)	Πολλαπλασιάζει θετικούς αριθμούς, χωρίς πρόσημο

Εντολές Αριθμητικών Πράξεων Β'

α/α	Εντολή	Εξήγηση	Λειτουργία
10	IMUL	Integer Multiply (Πολ/μος αριθμών με πρόσημο)	Πολλαπλασιάζει ακέραιους προσημασμένους αριθμούς
11	DIV	Division (Διαίρεση)	Διαιρεί ακέραιους θετικούς αριθμούς χωρίς πρόσημο
12	IDIV	Integer Division (Διαίρεση αριθμών με πρόσημο)	Διαιρεί ακέραιους προσημασμένους αριθμούς
13	CBW	Convert Byte to Word	Μετατρέπει έναν αριθμό από 1 byte σε 2
14	CWD	Convert Word to Double Word	Μετατρέπει έναν αριθμό από 2 byte σε 4 byte

Εντολές Λογικών Πράξεων

α/α	Εντολή	Εξήγηση	Λειτουργία
1	AND	And (Λογικό ΚΑΙ)	Εκτελεί λογικό ΚΑΙ μεταξύ bits
2	OR	Or (Λογικό Ή)	Εκτελεί λογικό Ή μεταξύ bits
3	XOR	Xor (Αποκλειστικό Ή)	Εκτελεί αποκλειστικό Ή μεταξύ bits
4	TEST	Test (Έλεγχος bits)	Εκτελεί λογικό ΚΑΙ μεταξύ bits χωρίς να καταχωρεί το αποτέλεσμα
5	NOT	Not (Λογική Άρνηση)	Αντιστρέφει τα bits του αριθμού
6	SHL	Shift Logical Left (μετακίνηση bits αριστερά)	Μετακινεί τα bits αριστερά συμπληρώνοντας μηδενικά
7	SHR	Shift Logical Right (μετακίνηση bits δεξιά)	Μετακινεί τα bits δεξιά συμπληρώνοντας μηδενικά
8	SAR	Shift Arithmetic Right (αριθμ.μετακ. bits δεξιά)	Μετακινεί τα bits δεξιά κρατώντας το πρόσημο

Εντολές Λογικών Πράξεων Β'

α/α	Εντολή	Εξήγηση	Λειτουργία
9	ROL	Rotate Left (Περιστροφή αριστερά)	Περιστρέφει τα bits του αριθμού 1 θέση αριστερά (το τελευταίο πάει πρώτο)
10	ROR	Rotate Right (Περιστροφή δεξιά)	Περιστρέφει τα bits του αριθμού 1 θέση δεξιά (το πρώτο πάει τελευταίο)
11	RCL	Rotate with Carry Left (Περ/φή αριστερά με κρατ.)	Περιστρέφει τα bits του αριθμού αρι-στερά με συμμετοχή του κρατούμενου
12	RCR	Rotate with Carry Right (Περ/φή δεξιά με κρατούμ.)	Περιστρέφει τα bits του αριθμού δεξιά με συμμετοχή του κρατούμενου

Εντολές Χειρισμού Αλφαριθμητικών

α/α	Εντολή	Εξήγηση	Λειτουργία
1	REP	Repeat (Επανέλαβε)	Επαναλαμβάνει την επόμενη εντολή
2	MOVS	Move String (Αντιγραφή String)	Αντιγράφει ένα String σε ένα άλλο byte προς byte
3	CMPS	Compare String (Σύγκριση String)	Συγκρίνει δύο String byte προς byte
4	SCAS	Scan String (Ανίχνευση String)	Ψάχνει ένα χαρακτήρα μέσα σε ένα string
5	LODS	Load String (Φόρτωση String)	Φορτώνει τα byte ενός string σε καταχωρητή
6	STOS	Store String (Αποθήκευση String)	Αποθηκεύει την τιμή ενός καταχωρητή σε ένα String.

Εντολές Ελέγχου Ροής Προγράμματος

α/α	Εντολή	Εξήγηση	Λειτουργία
1	CALL	Call (Κλήση υπορουτίνας)	Μεταφέρει την εκτέλεση σε υπορ/να
2	RET	Return (Επιστροφή από υπορουτίνα)	Επιστρέφει στο κυρίως πρόγραμμα μετά από την υπορουτίνα
3	JMP	Jump (Διακλάδωση)	Μεταφέρει την εκτέλεση σε άλλη εντολή
4	JE/JZ	Jump on Equal/Zero	Διακλάδωση σε ισότητα /μηδέν
5	JNE/JNZ	Jump on Not Equal/Non Zero	Διακλάδωση σε ανισότητα / διάφορο του μηδενός
6	JL/JNGE	Jump on Less/Not Greater or Equal	Διακλάδωση σε περίπτωση που ο 1ος είναι μικρότερος του 2ου (προσημασμ.)
7	JLE/JNG	Jump on Less or Equal/Not Greater	Διακλάδωση σε περίπτωση που ο 1ος είναι μικρότερος ή ίσος του 2ου (προσ.)
8	JNL/JGE	Jump on not Less/ Greater or Equal	Διακλάδωση σε περίπτωση που ο 1ος δεν είναι μικρότερος του 2ου (προσημασμ.)

Εντολές Ελέγχου Ροής Προγράμματος Β'

α/α	Εντολή	Εξήγηση	Λειτουργία
9	JNLE/JG	Jump on not Less or Equal/ Greater	Διακλάδωση σε περίπτωση που ο 1ος είναι μεγαλύτερος του 2ου (προσημασμ.)
10	JB/JNAE	Jump on Below/Not Above or Equal	Διακλάδωση σε περίπτωση που ο 1ος είναι μικρότερος του 2ου (θετικοί)
11	JBE/JNA	Jump on Below or Equal/Not Above	Διακλάδωση σε περίπτωση που ο 1ος είναι μικρότερος ή ίσος του 2ου (θετικοί)
12	JNB/JAE	Jump on not Below / Above or Equal	Διακλάδωση σε περίπτωση που ο 1ος δεν είναι μικρότερος του 2ου (θετικοί)
13	JNBE/JA	Jump on not Below or Equal / Above	Διακλάδωση σε περίπτωση που ο 1ος είναι μεγαλύτερος του 2ου (θετικοί)
14	JP/JPE	Jump on Parity Even	Διακλάδωση σε Ζυγή Ισοτιμία
15	JNP/JPO	Jump on Parity Odd	Διακλάδωση σε Μονή Ισοτιμία
16	JS	Jump on Sign	Διακλάδωση σε αρνητικό αριθμό
17	JNS	Jump on not Sign	Διακλάδωση σε θετικό αριθμό

Εντολές Ελέγχου Ροής Προγράμματος Γ'

α/α	Εντολή	Εξήγηση	Λειτουργία
18	JCXZ	Jump on CX Zero	Διακλάδωση όταν ο CX γίνει 0
19	LOOP	Loop (Βρόχος CX)	Εκτελεί επαναληπτικά εντολές με απαριθμητή τον CX
20	LOOPZ	Loop Zero (Βρόχος CX με συνθήκη ισότητας)	Εκτελεί επαναληπτικά εντολές με απαριθμητή τον CX και όσο ισχύει σχέση ισότητας
21	LOOPNZ	Loop Zero (Βρόχος CX με συνθήκη ανισότητας)	Εκτελεί επαναληπτικά εντολές με απαριθμητή τον CX και όσο ισχύει σχέση ανισότητας
22	INT	Interrupt (Διακοπή)	Διακοπή Λογισμικού – Μεταφέρει την εκτέλεση σε ρουτίνα ROM
23	IRET	Interrupt Return (Επιστροφή από Διακοπή)	Επιστρέφει στο κυρίως πρόγραμμα μετά από ρουτίνα διακοπής.

Εντολές Ελέγχου του Επεξεργαστή

α/α	Εντολή	Εξήγηση	Λειτουργία
1	CLC	Clear Carry	Καθαρίζει το κρατούμενο (=0)
2	STC	Set Carry	Θέτει το κρατούμενο (=1)
3	CMC	Complement Carry	Αντιστρέφει το κρατούμενο
4	CLD	Clear Direction	Καθαρίζει τη σημαία κατεύθυνσης (=0)
5	STD	Set Direction	Θέτει τη σημαία κατεύθυνσης (=1)
6	CLI	Clear Interrupt	Καθαρίζει τη σημαία διακοπών (=0)
7	STI	Set Interrupt	Θέτει τη σημαία διακοπών (=1)
8	HALT	Halt (Σταμάτα)	Σταματά τον επεξεργαστή (στάση)
9	WAIT	Wait (Περίμενε)	Περιμένει για διαχείριση σφαλμάτων κινητής υποδιαστολής
10	ESC	Escape	Χορήγηση διαύλων σε άλλους Μ/Ε
11	LOCK	Lock	Κλείδωμα Διαύλων
12	NOP	No Operation	Καμία Ενέργεια

Τρόποι Σύνταξης των Εντολών

- Οι εντολές του 8088 συντάσσονται με αρκετούς διαφορετικούς τρόπους, και δέχονται διαφορετικές παραμέτρους, αλλά δεν συντάσσονται όλες οι εντολές με όλους τους τρόπους :

1. Υπονοούμενος (Implied) : Η σύνταξη της εντολής δεν περιέχει παράμετρο ή συντάσσεται με συγκεκριμένο τρόπο ο οποίος υπονοεί το ποιες είναι οι παράμετροι.
   Παράδειγμα : STC (Set Carry),
   LODSB ([DS:SI]→ AL)
2. Παράμετρος Καταχωρητής (Register Operand) : Η εντολή επενεργεί σε ένα καταχωρητή.
   Παράδειγμα : PUSH AX (AX→Stack),
   DEC BX (BX=BX-1)
3. Παράμετρος Θέση Μνήμης (Memory Operand) : Η εντολή επενεργεί σε δεδομένα που βρίσκονται στην μνήμη και μάλιστα στο τμήμα δεδομένων (data segment).
   Παράδειγμα : POP [0200] (Stack→ DS:0200)

Τρόποι Σύνταξης των Εντολών Β'

4. Παράμετρος Σχετική Μετατόπιση (Relative Offset Operand) :
   Η εντολή μεταφέρει την εκτέλεση (εντολές Jxx, ...) σε διεύθυνση του code segment που απέχει κάποια bytes, (+/-), από την αρχή της επόμενης εντολής.
   Παράδειγμα : JNE 0020 (IF (ZF=0) IP=0020)
5. Παράμετρος Αριθμός (Numerical Operand) : Η εντολή δέχεται ως παράμετρο ένα σταθερό νούμερο που έχει θέση δεδομένου.
   Παράδειγμα : INT 3 (Display Registers & Return to MONITOR)
6. Έμμεση Προσπέλαση (Indirect Addressing) : Η εντολή δέχεται ως παράμετρο μία θέση μνήμης από την οποία διαβάζει κάποια bytes (2 ή 4) τα οποία σχηματίζουν την τελική διεύθυνση στην οποία θα επενεργήσει η εντολή.
   Παράδειγμα : MOV WO[0500], 0570
   MOV WO[0502], E400
   CALL FAR [0500] (CS=E400, IP=0570)

Συνδυασμοί Σύνταξης των Εντολών

1. Καταχωρητής σε Καταχωρητή (Register to Register) : Η εντολή διαβάζει δεδομένα από ένα καταχωρητή και μετά από επεξεργασία τα αποθηκεύει σε άλλο καταχωρητή.
   Παράδειγμα : XCHG AX,BX (AX=BX, BX=AX)
2. Καταχωρητής και Μνήμη (Register to/from Memory) : Η εντολή διαβάζει δεδομένα από ένα καταχωρητή ή τη μνήμη και μετά από επεξεργασία τα σώζει στη μνήμη ή σε καταχωρητή αντίστοιχα.
   Παράδειγμα : SUB AX,[0100] (AX=AX-[DS:0100])
3. Καταχωρητής και Αριθμός (Register and Numerical Value) : Η εντολή παίρνει ένα νούμερο και ένα καταχωρητή και μετά από κάποια επεξεργασία το αποθηκεύει σε ένα καταχωρητή.
   Παράδειγμα : TEST DX, FFFF (DX~FFFF ?)
4. Μνήμη και Αριθμός (Memory and Numerical Value) : Η εντολή επενεργεί πάνω σε ένα νούμερο και μία διεύθυνση μνήμης.
   Παράδειγμα : ADC BY[0300], 33 ([DS:0300] += 33 + CF)

Τρόποι Διευθυνσιοδότησης Μνήμης

Στις εντολές, που συντάσσονται με διεύθυνση μνήμης (π.χ. POP [0200]) η διεύθυνση μνήμης μπορεί να είναι μία σταθερή διεύθυνση ή συνδυασμός διεύθυνσης και καταχωρητών-δεικτών(BX, SI, DI, BP) που προστίθενται στην διεύθυνση μνήμης που δώσαμε, δίνοντας 24 διαφορετικούς τρόπους σύνταξης διευθύνσεων μνήμης :

1. [Addr16] Παράδειγμα : MOV AX, [0200]
2. [BP+Addr8] Παράδειγμα : MOV AX, [BP+27]
3. [BP+Addr16] Παράδειγμα : MOV AX, [BP+8765]
4. [BP+SI] Παράδειγμα : MOV AX, [BP+SI]
5. [BP+SI+Addr8] Παράδειγμα : MOV AX, [BP+SI
6. [BP+SI+Addr16] Παράδειγμα : MOV AX, [BP+SI+900A]
7. [BP+DI] Παράδειγμα : MOV AX, [BP+DI]
8. [BP+DI+Addr8] Παράδειγμα : MOV AX, [BP+DI+77]
9. [BP+DI+Addr16] Παράδειγμα : MOV AX, [BP+DI+11EE]
10. [BX] Παράδειγμα : MOV AX, [BX]

Τρόποι Διευθυνσιοδότησης Μνήμης Β'

11. [BX+Addr8] Παράδειγμα : MOV AX, [BX+2B]
12. [BX+Addr16] Παράδειγμα : MOV AX, [BX+1234]
13. [BX+SI] Παράδειγμα : MOV AX, [BX+SI]
14. [BX+DI] Παράδειγμα : MOV AX, [BX+DI]
15. [BX+SI+Addr8] Παράδειγμα : MOV AX, [BX+SI+A8]
16. [BX+DI+Addr8] Παράδειγμα : MOV AX, [BX+DI+59]
17. [BX+SI+Addr16] Παράδειγμα : MOV AX, [BX+SI+4C7E]
18. [BX+DI+Addr16] Παράδειγμα : MOV AX, [BX+DI+91DE]
19. [SI] Παράδειγμα : MOV AX, [SI]
20. [SI+Addr8] Παράδειγμα : MOV AX, [SI+23]
21. [SI+Addr16] Παράδειγμα : MOV AX, [SI+FEDC]
22. [DI] Παράδειγμα : MOV AX, [DI]
23. [DI+Addr8] Παράδειγμα : MOV AX, [DI+23]
24. [DI+Addr16] Παράδειγμα : MOV AX, [DI+2552]

Ιστορία και Εξέλιξη των Υπολογιστών

Μηχανικοί Υπολογιστές

- Blaise Pascal (1623-1662) - Η μηχανή του Pascal. Πρόσθεση και αφαίρεση
- Gottfried Wilhelm von Leibniz (1646-1716). Πρόσθεση, αφαίρεση, πολ/μό και διαίρεση.
- Charles Babbage (1792-1871) – Η μηχανή διαφορών. Πρόσθεση και αφαίρεση, υπολογισμός πινάκων ναυσιπλοΐας. Μέθοδος πεπερασμένων διαφορών, έξοδος σε χαλκογραφία.
- Αναλυτική Μηχανή του C. Babbage. 4 πράξεις, είσοδος με κάρτες, έξοδος σε κάρτες και εκτυπωτή. Διάφορες χρήσεις. Ανάγκη για λογισμικό. Ada Augusta Lovelace.
- Konrad Zuse (1930) – αυτόματες υπολογιστικές μηχανές με ρελέ.
- John Atanasoff, George Stibbitz – αριθμομηχανές με δυαδική αριθμητική, ρελέ και μνήμη με πυκνωτές.
- Howard Aiken – υπολογιστές με ρελέ, Mark I με διάτρητη ταινία I/O, χρόνος εντολής 6 δευτ. Mark II.

Πρώτη Γενιά Υπολογιστών - Λυχνίες Κενού (1945-1955)

- Αρχές του 20ου αιώνα ανακάλυψη της ηλεκτρονικής λυχνίας κενού – Lee de Forest. Μηχανικοί Υπολογιστές – Ηλεκτρονικοί Υπολογιστές.
- Alan Turing (1943) Υπολογιστής Colossus. Αποκρυπτογράφηση μηνυμάτων των Γερμανών.
- John Mauchley, J. Presper Eckert (1943-1946) – ENIAC, 30 τόννων, 140 kW, 18000 λυχνίες, 1500 ρελέ, 6000 διακόπτες προγραμματισμού.
- Ακολούθησαν EDSAC (1949), JOHNIAC, ILLIAC, MANIAC, WEIZAC, EDVAC
- John von Neumann – Υπολογιστής IAS, παράσταση προγραμμάτων σε δυαδική μορφή. Μηχανή του von Neumann, EDSAC, IAS. Βάση των σύγχρονων υπολογιστών.
- Στο M.I.T. κατασκευάζεται ο Whirlwind I, έλεγχος πραγματικού χρόνου, μνήμες μαγνητικών πυρήνων, εξέλιξη στον 1ο mini Η/Υ.
- Mauchley & Eckert UNIVAC I (1952), στο CBS πρόβλεψη εκλογών.
- IBM 701 (1953), IBM 704 (1956), IBM 709 (1958)

Δεύτερη Γενιά - Τρανζίστορ (1955-1965)

- Εφεύρεση της κρυσταλλοτριόδου (τρανζίστορ), Bell Labs, 1948, Bardeen, Bratain, Shockley, βραβείο Νόμπελ.
- Πρώτη κατασκευή στο M.I.T. TX-0, με φιλοσοφία Whirlwind.
- Kenneth Olsen (1957) DEC, εμπορικοί Η/Υ. Το 1961 PDP-1, 4k λέξεις των 18 bit, κύκλο 5μsec, δεκάδες πωλήσεων, βιομηχανία mini. Μισή απόδοση από τον IBM 7090. PDP-8, 12 bit, κοινός δίαυλος Omnibus. Πρώτη θέση στους mini υπολογιστές.
- IBM 7090 και 7094 τύπου ENIAC, επιστημονικές εφαρμογές. IBM 1401 ανάγνωση/εγγραφή μαγνητικών ταινιών, καρτών, εκτυπώσεις, χρήση σε εμπορικές εταιρίες. Προγραμματισμός σε Assembly και FORTRAN, ομαδική επεξεργασία (batch processing).
- CDC 6600 (1964) μία τάξη ταχύτερος του 7094, παραλληλία, Seymour Cray, Υπερυπολογιστές 6600, 7600, Cray-1.
- Burroughs B5000, βάση στον προγραμματισμό (όχι στο υλικό), ειδική για Algol 60.

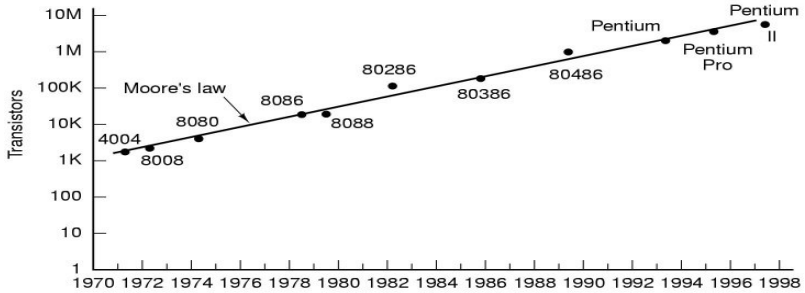
Τρίτη Γενιά - Ολοκληρωμένα Κυκλώματα (1965-1980)

- Εφεύρεση του ολοκληρωμένου κυκλώματος πυριτίου (IC) 1958. Ενσωμάτωση πολλών τρανζίστορ σε ένα chip. Μεγαλύτερη ταχύτητα, μικρότερο κόστος.
- IBM System/360 (1964), 5-6 υπολογιστές συμβατοί μεταξύ τους. Model 30 (1401), Model 75 (7094), Model 40, 50, 65. Πολυπρογραμματισμός (multiprogramming). Μνήμη 16 MB και συμβατότητα προς τα πίσω. Λειτουργικό Σύστημα OS/360 με εκατομμύρια γραμμές κώδικα. Επιτυχία σε εμπορική χρήση, λειτουργούν ακόμα και σήμερα.
- Επόμενες σειρές 370, 4300, 3080 και 3090. Το 1967 κατασκευάζει την πρώτη μονάδα δισκέτας 8 ιντσών με μικροκώδικα για τον 360.
- Η DEC κυκλοφορεί τον PDP-11, ίδια φιλοσοφία με IBM 360. Επιτυχημένος στις επιστημονικές εφαρμογές και Πανεπιστήμια.
- Το 1970 η Intel κατασκευάζει ένα τσιπ μνήμης του 1 Kb. Ενσωματώνει αριθμητικές και λογικές λειτουργίες σε ένα chip – ο πρώτος μικροεπεξεργαστής.

Τέταρη Γενιά-Ολοκλήρωση μεγάλης κλίμακας (1980-...)

- Τεχνολογία LSI και VLSI, χιλιάδες και εκατομμύρια τρανζίστορ σε ένα chip. Pentium 4, 55 εκατομμύρια τρανζίστορ. Αυγή των προσωπικών υπολογιστών (PC – Personal Computer).
- Εμφάνιση του Intel 8080. Πρώτοι Η/Υ σε κίτ, χωρίς λειτουργικό. Λειτουργικό CP/M (Gary Kildall).
- Αλλες CPU, Z80 Zilog (1976), 6502 MOS Tech Corp. (1976).
- Steve Jobs και Steve Wozniak, Apple Computers, Apple και Apple II με επεξεργαστή 6502, BBC, Electron.
- IBM PC (1981) με 8088 και 16 Kb RAM και δισκέτα. Ανοικτή αρχιτεκτονική, επέκταση με κάρτες. Αντιγραφή σε PC-compatibles. Microsoft MS-DOS.
- Home Computers, Sinclair Spectrum (Z80), Commodore 64 (6502), Amstrad CPC-464 (Z80), Atari (6502) με ενσωματωμένη BASIC.
- Ανάπτυξη επεξεργαστών 8086, 80286, 80386, 80486, Pentium, Pentium Pro, Pentium II, Pentium III, Pentium 4.
- Ανάπτυξη επεξεργαστών RISC για Σταθμούς Εργασίας, HP, SUN.

Εξέλιξη και Κατηγορίες Υπολογιστών

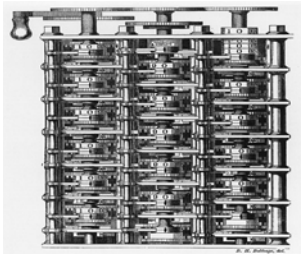


Νόμος του Moore (Moore's Law) : Διπλασιασμός υπολογιστικής ισχύος κάθε 18 μήνες, 60% το χρόνο.

- Ηλεκτρονικοί Υπολογιστές
- Κβαντικοί Υπολογιστές 1 bit στο spin κάθε ηλεκτρονίου
- Φωτονικοί Υπολογιστές οπτικοί κρύσταλλοι και φώς, οπτικές ίνες
- Βιολογικοί Υπολογιστές αποτελούνται από οργανικά μέρη

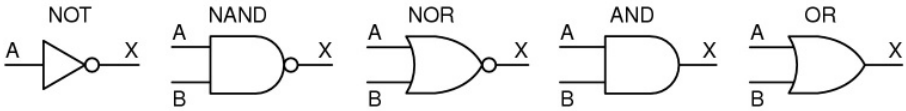
Εξέλιξη και Κατηγορίες Υπολογιστών

Τύπος	Τιμή σε $	Παράδειγμα εφαρμογής
Αναλώσιμος Υπολογιστής	1	Ευχετήριες μουσικές κάρτες
Ενσωματωμένος Υπολογιστής	10	Ρολόγια, αυτοκίνητα, οικιακές συσκευές
Υπολογιστής παιχνιδιών	100	Οικιακά video games
Προσωπικός Υπολογιστής	1.000	Επιτραπέζιοι ή φορητοί υπολογιστές
Διακομιστής (Server)	10.000	Σταθμός εργασίας ή διακομιστής δικτύου
Συστοιχία σταθμών εργασίας	100.000	Mini υπολογιστής τμήματος
Κεντρικό σύστημα (Mainframe)	1.000.000	Κεντρικός υπολογιστής τράπεζας
Υπερυπολογιστής	10.000.000	Επιστημονικές εφαρμογές



Βασικά Ψηφιακά Κυκλώματα

- Η βάση σχεδιασμού και κατασκευής ψηφιακών κυκλωμάτων είναι οι λογικές πύλες (logic gates). Υλοποιούν απλές δυαδικές συναρτήσεις. Για την ανάλυση δυαδικών συναρτήσεων και ψηφιακών κυκλωμάτων χρησιμοποιείται η Άλγεβρα Boole.
- Πολλές είσοδοι (1,2,…), μία έξοδος. Λειτουργούν με 0 ή 1 (0..1 Volt = 0, 2..5 Volt = 1). Υλοποιούνται με τρανζίστορ.



A	X
0	1
1	0

(a)

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

(b)

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

(c)

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

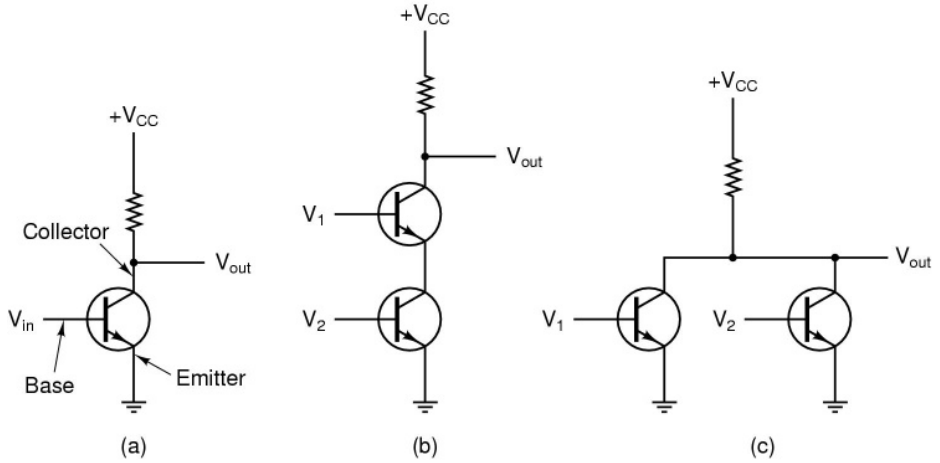
(d)

A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

(e)

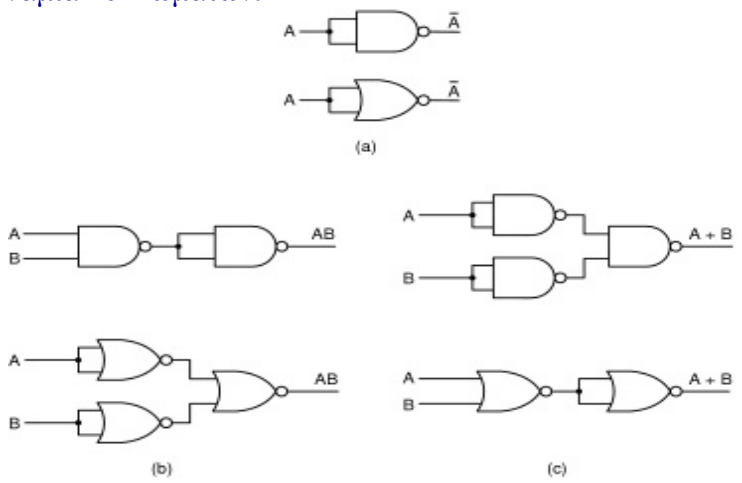
Βασικά Ψηφιακά Κυκλώματα 2

- Όλες οι πύλες μπορούν να σχεδιαστούν με συνδυασμό NOT, AND, OR ή NAND, NOR. Προτιμώνται οι NAND, NOR γιατί υλοποιούνται με δύο τρανζίστορ. Πλήρεις πύλες - Ισοδυναμία κυκλωμάτων.



Βασικά Ψηφιακά Κυκλώματα 3

- Ένα σύνολο πυλών με το οποίο μπορούμε να κατασκευάσουμε συνδυαστικά οποιαδήποτε άλλη πύλη ονομάζονται «Πλήρεις Πύλες».
- Ισοδυναμία κυκλωμάτων.



Τεχνολογίες Κατασκευής Πυλών

- Διπολική τεχνολογία :

1. TTL (Transistor-Transistor Logic) Βασικός τύπος πυλών (5V) ταχύτητας 10nsec (100MHz).
2. IIL (Integrated Injection Logic) Μικρή τάση 0.8 V αλλά αργή 20-50 nsec (20-50 MHz).
3. ECL (Emmiter Coupled Logic) Κυκλώματα υψηλής ταχύτητας 0.5-2 nsec (500MHz-2GHz)

- Τεχνολογία MOS (Metal Oxide Semiconductor) υλοποίηση με FET (Field-Effect Transistors). Πιο αργές από τις διπολικές (10-100 φορές, έως 25MHz), αλλά μικρή ισχύ και μικρός χώρος. Παραλλαγές PMOS, NMOS, HMOS, CMOS
- Όριο τα 0.6 micron. Intel, AMD, Motorolla εφηύραν την λιθογραφική μέθοδο ακτινών X που έχει φτάσει μέχρι τα 0.09 micron.
- Χρήση αλουμινίου για συνδέσεις. Από το 1997 χρησιμοποιείται χαλκός που έχει καλύτερη αγωγιμότητα και ΄μπορεί να υλοποιηθεί σε μέγεθος < 0.1 micron.

Υλοποίηση Συναρτήσεων Boole

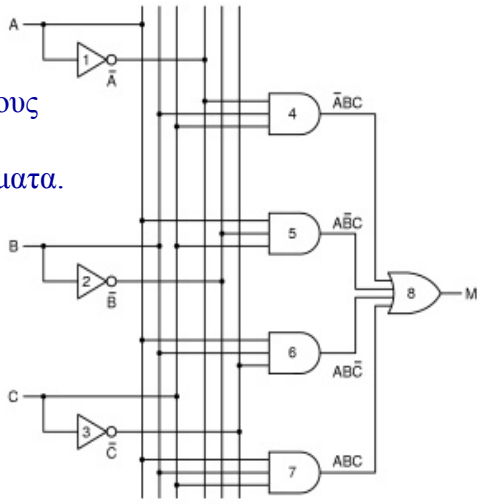
- Σχεδίαση με πύλες για υλοποίηση της συνάρτησης. Μ/Σ σε άθροισμα γινομένων (x = AND, + = OR).

1. Πίνακας Αληθείας της συνάρτησης
2. Εισαγωγή πυλών NOT στην είσοδο
3. Εισαγωγή πυλών AND για τους όρους γινομένων (1 στην έξοδο)
1. Εισαγωγή πύλης OR για τα αθροίσματα.

Παράδειγμα M(A,B,C)=

$$\overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

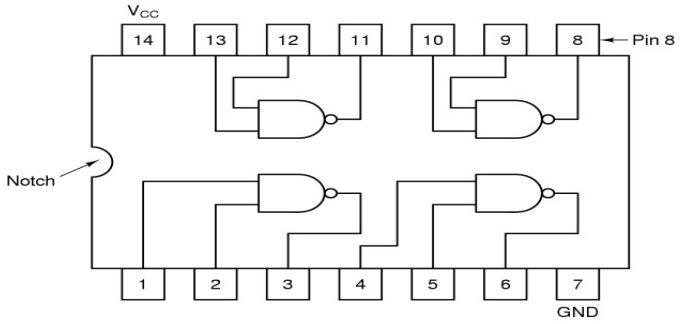
A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



Ολοκληρωμένα Κυκλώματα με Πύλες

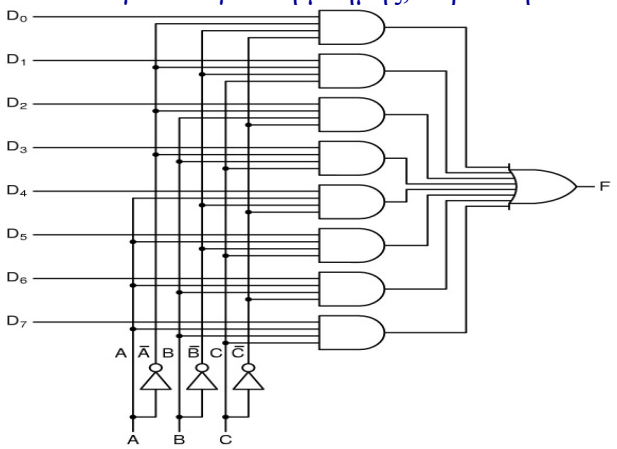
- Οι πύλες ομαδοποιούνται σε ολοκληρωμένα κυκλώματα (ICs-chips). Dual Inline Package (DIP), Surface Mounted Device (SMD).
- Κυκλώματα SSI – Περιέχουν 1-10 πύλες.
- Κυκλώματα MSI – Περιέχουν 10-100 πύλες.
- Κυκλώματα LSI – Περιέχουν 100-100.000 πύλες.
- Κυκλώματα VLSI – Περιέχουν >100.000 πύλες (P4 – 55 εκατομ.πύλες)

Καθυστέρηση πύλης (Gate Delay) 0.1-10 nsec. Fan-Out.



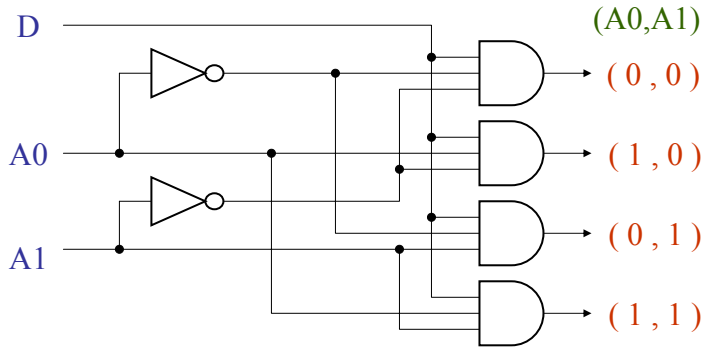
Συνδυαστικά Κυκλώματα

- Ψηφιακά κυκλώματα με πολλές εισόδους/εξόδους.
- Πολυπλέκτες (Multiplexers) : 2^N εισόδους, N γραμμές ελέγχου και 1 έξοδο, επιλέγουν είσοδο ανάλογα με τον συνδυασμό γραμμών ελέγχου
- Χρησιμοποιούνται για ανάγνωση μνήμης, παράλληλα σε σειριακά, …



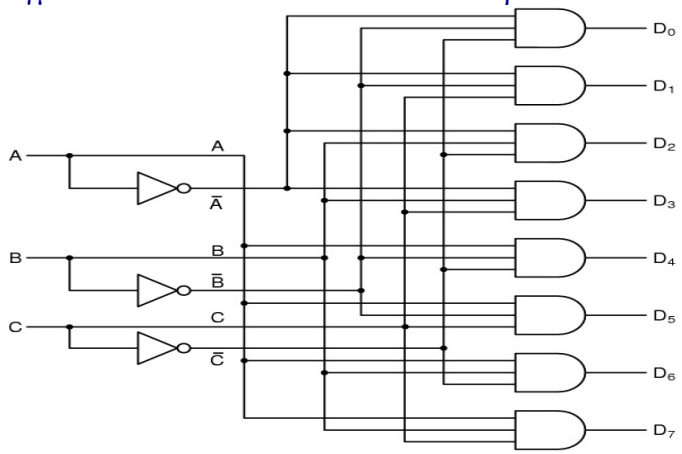
Συνδυαστικά Κυκλώματα 2

- Αποπολυπλέκτης (Demultiplexer) : 1 είσοδος, N γραμμές ελέγχου και 2^N έξοδοι, δρομολογούν την είσοδο σε μία από τις εξόδους ανάλογα με τον συνδυασμό γραμμών ελέγχου
- Χρησιμοποιούνται για εγγραφή μνήμης, σειριακά σε παράλληλα, …



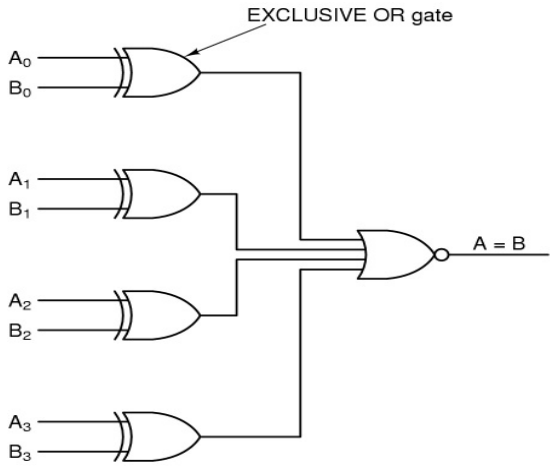
Συνδυαστικά Κυκλώματα 3

- Αποκωδικοποιητής (Decoder) : N είσοδοι, και 2^N έξοδοι, ανάλογα με τον συνδυασμό στην είσοδο θέτουν σε 1 την κατάλληλη έξοδο.
- Χρησιμοποιούνται για επιλογή chip (chip select)
- Παράδειγμα : 8x1MB=8MB=2^{23}=2^3x2^{20}. Τα τρία MSB επιλέγουν chip.



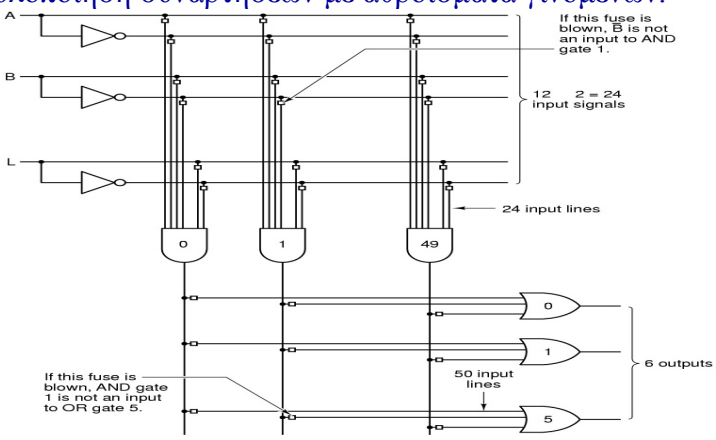
Συνδυαστικά Κυκλώματα 4

- Συγκριτές (Comparators) : είσοδοι 2 λέξεις των n bits, και 1 έξοδος,
- Δίνει 1 αν οι λέξεις είναι ίδιες αλλιώς δίνει 0.
- Χρησιμοποιούνται στις ALUs.



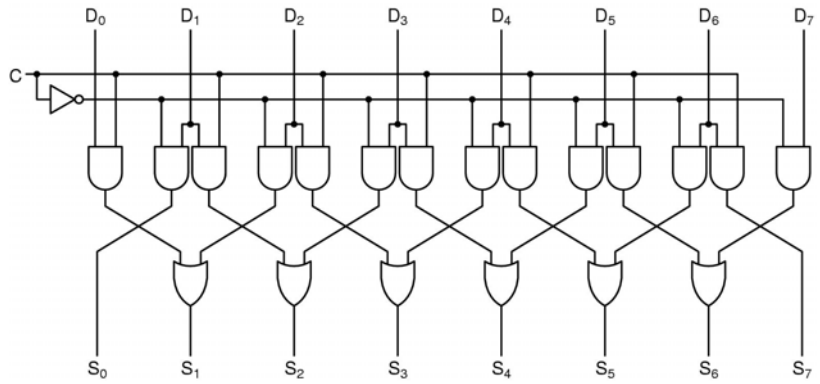
Προγραμματιζόμενοι Λογικοί Πίνακες

- Programmable Logic Array (PLA). Πολλών εισόδων, πολλών εξόδων. Εσωτερικά οι είσοδοι και τα συμπληρώματά τους συνδέονται με AND και οι έξοδοι των AND συνδέονται με OR στις εξόδους.
- Συνδέσεις όλων με όλα με εύτηκτες ασφάλειες. Προγραμματίζεται για την υλοποίηση συναρτήσεων με αθροίσματα γινομένων.



Αριθμητικά Κυκλώματα

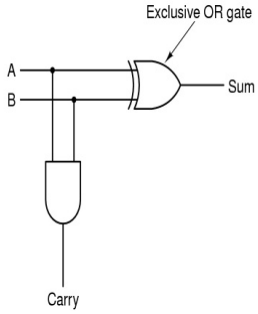
- Ολισθητές (Shifters) : N είσοδοι, N έξοδοι και 1 γραμμή ελέγχου. Μετατοπίζει τα bit εισόδου κατά 1 θέση δεξιά ή αριστερά ανάλογα με την γραμμή ελέγχου.
- Μετατόπιση προς MSB σημαίνει πολ/μός επί 2, ενώ προς LSB σημαίνει διαίρεση δια δύο. Χρησιμοποιείται στις ALUs, παρ/λη-σειριακή,…



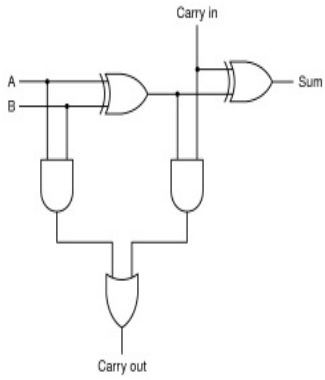
Αριθμητικά Κυκλώματα 2

- Αθροιστές (Adders) : 2 ή 3 είσοδοι, 2 έξοδοι. Αθροίζει τα bit εισόδου και το carry και δίνει το αποτέλεσμα και το carry.
- Ημιαθροιστής (Half-Adder), Πλήρης Αθροιστής (Full Adder). Για πολλά bit χρησιμοποιείται συστοιχία αθροιστών με διάδοση carry.
- Χρησιμοποιείται στις ALUs, των μικροεπεξεργαστών.

A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

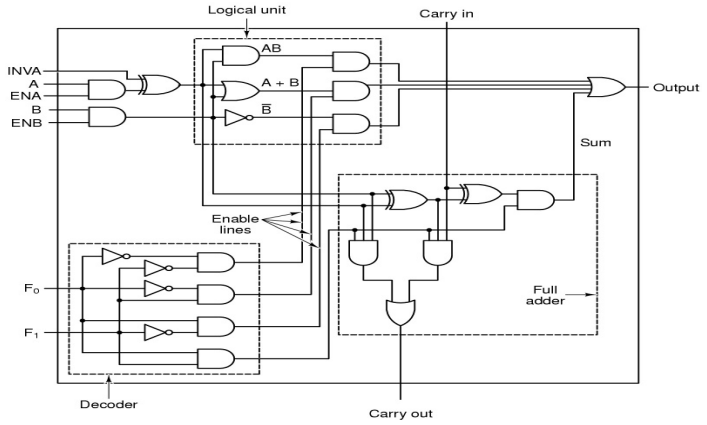


A	B	Carry in	Sum	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Αριθμητικές και Λογικές Μονάδες

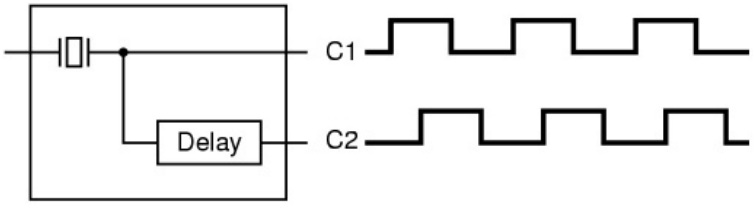
- Arithmetic and Logic Unit (ALU) : είσοδος : bit δεδομένων, carry, γραμμές ελέγχου (εντολή), έξοδος : αποτέλεσμα 1 bit και carry. Υλοποιούν σειρά αριθμητικών και λογικών πράξεων (συνήθως πρόσθεση, AND, OR, NOT (Δυαδικές Μονάδες - Bit Slices).
- Χρησιμοποιούνται στους μικροεπεξεργαστές σε συστοιχίες.



Κυκλώματα Ρολογιού

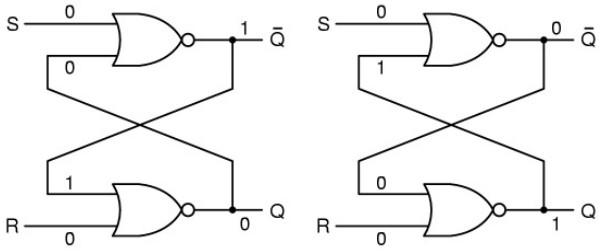
- Clock Circuits ή Clocks : ταλαντωτές με κρυστάλλους που παράγουν παλμοσειρές για τον συγχρονισμό των ICs.
- Συχνότητες από μερικά KHz έως και αρκετά GHz. Παράγουν και δευτερεύοντες παλμοσειρές με καθυστέρηση ή υποδιαίρεση
- Συμβάντα ενεργοποιούνται στις περιπτώσεις :

1. Ακμή ανόδου του παλμού.
2. Ακμή καθόδου του παλμού.
3. Παλμός σε κατάσταση υψηλή.
4. Παλμός σε κατάσταση χαμηλή
5. Συνδυασμός των παραπάνω για πολλές παλμοσειρές.



Κυκλώματα Μνήμης

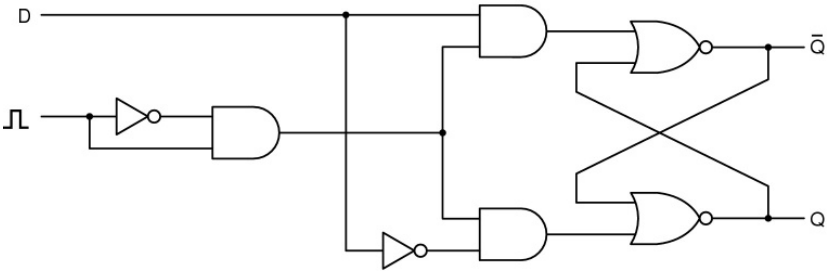
- Κύκλωμα που θυμάται την τιμή εισόδου – ανατροφοδότηση – Κυκλώματα Μανδάλωσης.
- Οι έξοδοι δεν καθορίζονται μόνο από τις γραμμές εισόδου αλλά και από την προηγούμενη κατάσταση του κυκλώματος.
- Κύκλωμα Μανδάλωσης SR (Set & Reset) : 2 είσοδοι (S,R) δύο συμπλ. έξοδοι $Q,\overline{Q}$ Όταν S=1 τότε Q=1, ενώ αν S=0 τότε Q=0. Το κύκλωμα παραμένει σε αυτή την κατάσταση μέχρι να δοθεί R=1.



A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

Διισταθή Κυκλώματα

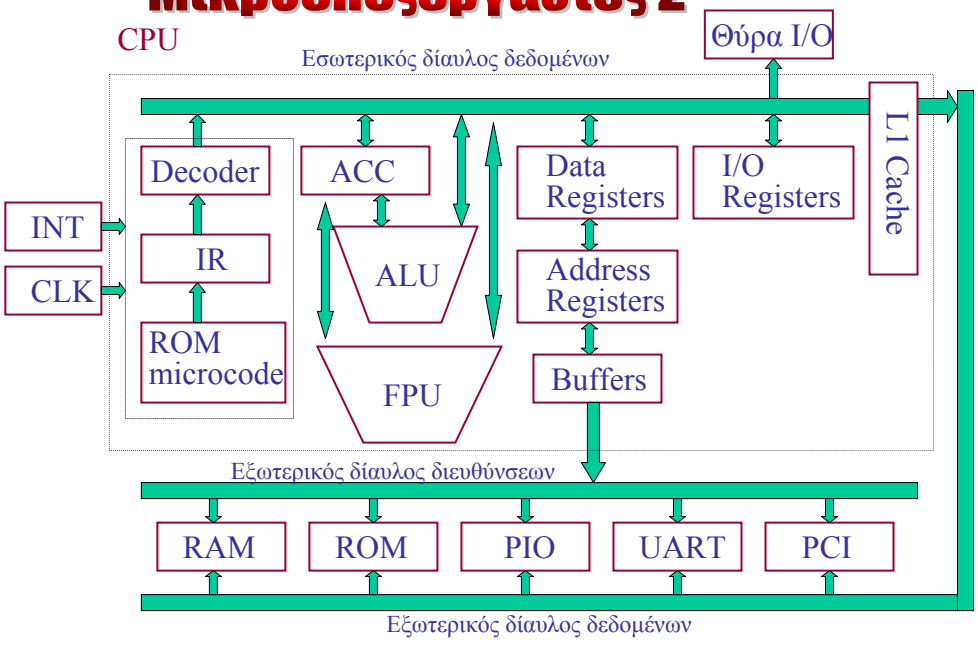
- Flip-Flop : είσοδος το bit που θα αποθηκευθεί και παλμός ρολογιού.
- Μετάβαση κατάστασης γίνεται στην ακμή ανόδου ή καθόδου.
- Χρησιμοποιούνται σε συστοιχίες για την υλοποίηση καταχωρητών.



Μικροεπεξεργαστές

- Microprocessors : είναι κυκλώματα LSI/VLSI που περιέχουν μεγάλο αριθμό ψηφιακών κυκλωμάτων ομαδοποιημένα σε υπομονάδες.
- Εκτελούν βασικές αριθμητικές και λογικές λειτουργίες καθώς και λειτουργίες ελέγχου και μεταφορά δεδομένων από/προς τη μνήμη και τις περιφερειακές συσκευές.
- Καθοδηγούνται από σειρές εντολών γλώσσας μηχανής (πρόγραμμα) που συντάσσονται με βάση ένα πεπερασμένο σετ εντολών, ειδικό για κάθε μικροεπεξεργαστή.
- Χαρακτηρίζονται από το εύρος του διαύλου δεδομένων (μήκος λέξης) που ταυτίζεται με το μέγεθος των βασικών καταχωρητών και είναι 4, 8, 16, 32, 64, 128 bit, …
- Χαρακτηρίζονται από την μέγιστη συχνότητα λειτουργίας τους (100KHz .. 10GHz) που καθορίζεται από ένα κύκλωμα χρονισμού.
- Στη συσκευασία τους έχουν μεγάλο αριθμό pin (16...478) για σύνδεση με την τροφοδοσία, τους διαύλους, τις γραμμές ελέγχου και διακοπών και τις υπόλοιπες υπομονάδες ενός υπολογιστικού συστήματος.

Μικροεπεξεργαστές 2



Βασικά Μέρη Μικροεπεξεργαστών

- Καταχωρητές (Registers) : Μικρές μνήμες μίας λέξης. Καταχώρηση περιεχομένων μνήμης και αποτελεσμάτων.
- Αριθμητική και Λογική Μονάδα (Arithmetic and Logic Unit – ALU) : μονάδα που εκτελεί αριθμητικές και λογικές πράξεις (+, -, AND, OR, ..)
- Μονάδα Κινητής Υποδιαστολής (Floating Point Unit – FPU) : μονάδα που εκτελεί πράξεις κινητής υποδιαστολής (με δεκαδικά).
- Μονάδα Ελέγχου (Control Unit) : περιλαμβάνει τον καταχωρητή εντολής (Instruction Register – IR), τον αποκωδικοποιητή εντολής (Decoder) και ROM μικροκώδικα για την εκτέλεση των εντολών. Δέχεται είσοδο από το ρολόι και τις γραμμές διακοπών (Interrupts).
- Εσωτερικός δίαυλος δεδομένων (Internal Data Bus) : γραμμή μίας λέξης που ενώνει εσωτερικά τους καταχωρητές και τις υπομονάδες. Ενώνεται με τον εξωτερικό δίαυλο δεδομένων (External Data Bus) προς τη μνήμη και τις περιφερειακές συσκευές.
- Ενδιάμεση Μνήμη επιπέδου 1 (Level 1 Cache memory) : μικρή μνήμη που λειτουργεί ως buffer ανάμεσα στην RAM και την CPU.

Καταχωρητές - Registers

- Μνήμες μίας λέξης (data) ή εύρους διευθύνσεων (address). Υλοποιούνται με Flip-Flop μεγάλης ταχύτητας. Μεταφέρουν δεδομένα από και προς το Data Bus. Δύο κατηγορίες :
- Καταχωρητές γενικής χρήσης : εκτελούν όλες τις δυνατές λειτουργίες (πράξεις, μεταφορά δεδομένων). Άμεση σύνδεση με ALU, FPU και BUS. Συσσωρευτής (Accumulator) : αριθμητικές πράξεις, λογικές πράξεις, Συγκρίσεις, Μεταφορά δεδομένων.
- Οι Καταχωρητές ειδικής χρήσης έχουν συγκεκριμένο ρόλο :
- Καταχωρητές Διευθύνσεων (Address Registers – Δείκτες) : Καταχωρούν διευθύνσεις που προκύπτουν από εκτέλεση εντολών. Συνδέονται με το δίαυλο διευθύνσεων για σχηματισμό διεύθυνσης. Συνδέονται και με το Data Bus για φόρτωση διευθύνσεων από μνήμη.
- Δείκτης Εντολής (Instruction Pointer – IP) : ειδικός καταχωρητής διεύθυνσης που φυλάσσει την διεύθυνση εκτέλεσης της επόμενης εντολής. Αυξάνεται αυτόματα από τη μονάδα ελέγχου. Εξάγεται στο Address Bus για να προσκομιστεί η επόμενη εντολή.

Καταχωρητές - Registers 2

- Καταχωρητής Εντολής (Instruction Register-IR) : περιέχει τον κώδικα της εντολής που θα εκτελεστεί. Είναι μέρος της μονάδας ελέγχου και συνδέεται με το Data Bus.
- Καταχωρητές Δείκτη (Index Register) : χρησιμοποιείται για προσπέλαση της μνήμης υπό τη μορφή πίνακα. Περιέχει είτε τη διεύθυνση βάσης (προστίθεται η μετατόπιση) ή την μετατόπιση (προστίθεται η διεύθυνση βάσης).
- Καταχωρητές Τμημάτων (Segment Registers) : κρατούν διευθύνσεις τμημάτων κώδικα, δεδομένων, στοίβας και έξτρα, Σχηματίζουν διευθύνσεις μαζί με καταχωρητές δεικτών που έχουν το offset.
- Δείκτης Στοίβας (Stack Pointer – SP) : περιέχει την διεύθυνση κορυφής της στοίβας (Stack). Η στοίβα είναι συγκεκριμένη περιοχή μνήμης με δομή LIFO που γεμίζει από πάνω προς τα κάτω. Χρησιμοποιείται για προσωρινή αποθήκευση της κατάστασης της CPU πριν από την εκτέλεση υπορουτινών. Διαχειρίζεται με εντολές PUSH και PULL.

Καταχωρητές - Registers 3

- Καταχωρητής Σημαιών (Flag Register-FG) : καταχωρητής που αποτελείται από μεμονωμένα bits που λειτουργούν ως σημαίες κατάστασης (flags). Οι σημαίες διαμορφώνονται μετά από την εκτέλεση κάθε εντολής και εξαρτώνται από το αποτέλεσμα της εντολής. Ορισμένα bits λειτουργούν και ως διακόπτες που ενεργοποιούν/απενεργοποιούν λειτουργίες.
- Ελέγχεται από εντολές διακλάδωσης JE, JNE, JL, JLE, JNL,JNLE...

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	OF	DF	IF	TF	SF	ZF	-	AF	-	PF	-	CY

- (CY) Carry – Κρατούμενο : αποθηκεύει το επιπλέον bit που μπορεί να προκύψει από αριθμητικές πράξεις (κρατούμενο – δανεικό). Μπορεί να χρησιμοποιηθεί για πράξεις αριθμών πολλαπλών λέξεων (Add with Carry – Carry Propagation). Αποθηκεύει το bit υπερχείλισης σε εντολές ολίσθησης και περιστροφής. Μπορεί να τεθεί 1 ή 0 με ειδικές εντολές : STC, CLC, CMC. Ελέγχεται από εντολές διακλάδωσης JB/JNAE, JBE/JNA, JNB, JAE, JNBE/JA.

Καταχωρητής Κατάστασης

- (PF) Parity – Ισοτιμία : γίνεται 1 όταν το αποτέλεσμα πράξης είναι δυαδικός αριθμός που έχει ζυγό αριθμό μονάδων. Ελέγχεται από εντολές διακλάδωσης JP/JPE, JNP/JPO
- (AF) Auxiliary Carry–Βοηθητικό Κρατούμενο : γίνεται 1 όταν σε μία πράξη μεταφέρεται κρατούμενο από το byte χαμηλής τάξης στο byte υψηλής τάξης (low nibble carry).
- (ZF) Zero – Μηδενικό : γίνεται 1 όταν το αποτέλεσμα οποιασδήποτε εντολής δώσει αποτέλεσμα 0. Ελέγχεται με εντολές διακλάδωσης JE/JZ, JNE/JNZ, JLE/JNG, JNLE/JG, JBE/JNA, JNBE/JA.
- (SF) Sign – Αρνητικό : γίνεται 1 όταν το αποτέλεσμα οποιασδήποτε πράξης δώσει αποτέλεσμα αρνητικό με την σύμβαση συμπληρώματος ως προς 2 (MSB=1). Ελέγχεται από εντολές διακλάδωσης JS, JNS, JL/JNGE, JLE/JNG, JNL/JGE, JNLE/JG
- (TF) Trap – Παγίδευση : Σημαία Βηματικής Εκτέλεσης, όταν είναι 1 εκτελεί τις εντολές βήμα-βήμα για debugging.

Καταχωρητής Κατάστασης Β'

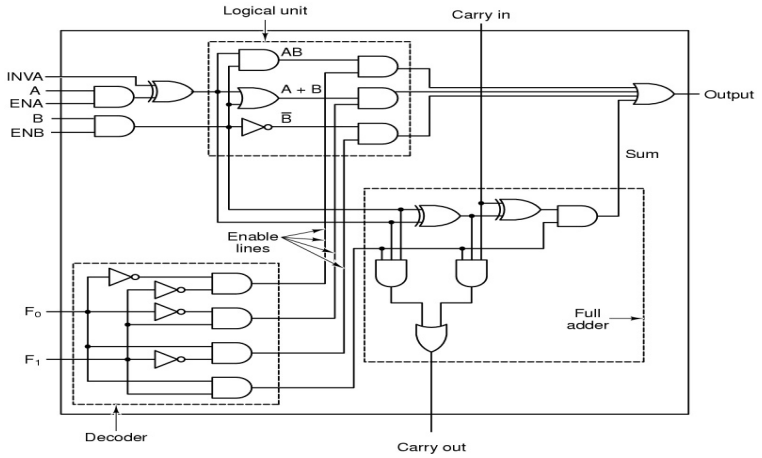
- (IF) Interrupt – Διακοπή : όταν είναι 1 επιτρέπει την διακοπή του προγράμματος από Interrupt (Interrupt Request) για την εκτέλεση συγκεκριμένης ρουτίνας εξυπηρέτησης της διακοπής. Όταν είναι 0 απαγορεύει τις διακοπές. Αλλάζει με εντολές CLI, STI.
- (DF) Direction – Κατεύθυνση : όταν είναι 1, οι εντολές των string (π.χ. LODSB, STOSB, CMPSB, κ.λ.π.) εκτελούνται από υψηλές διευθύνσεις προς χαμηλές, δηλαδή ανάποδα από το κανονικό που ισχύει για DF=0. Αλλάζει με εντολές CLD, STD.
- (OF) Overflow – Υπερχείλιση : Σημαία Υπερχείλισης, γίνεται 1 όταν το αποτέλεσμα μίας πράξης ξεπερνά το όριο των προσημασμένων αριθμών δηλαδή -32768…+32767. Ελέγχεται με εντολές διακλάδωσης JO, JNO, JL/JNGE, JLE/JNG, JNL/JGE, JNLE/JG.

Εσωτερικοί Καταχωρητές

- Οι εσωτερικοί καταχωρητές δεν είναι προσπελάσιμοι από εντολές γλώσσας μηχανής, αλλά εξυπηρετούν την εσωτερική λειτουργία του μικροεπεξεργαστή.
- Memory Data Register (MDR) : καταχωρητής μίας λέξης που αποθηκεύει την πληροφορία που εισέρχεται στον Μ/Ε από το Data Bus.
- Memory Address Register (MAR) : καταχωρητής εύρους διεύθυνσης στον οποίο καταχωρείται η σχηματιζόμενη διεύθυνση μνήμης για να προωθηθεί στο address bus.
- Address Data Register (ADR) : καταχωρητής εύρους διεύθυνσης στον οποίο καταχωρείται μέσω του Data Bus και του MDR η διεύθυνση μίας εντολής (π.χ. η 0200 στην εντολή ADD AX, [0200])
- Effective Address Register (EAR) : καταχωρητής εύρους διεύθυνσης στον οποίο υπολογίζονται οι τελικές διευθύνσεις μνήμης με δεικτοδοτούμενες και έμμεσες διευθυνσιοδοτήσεις.

Αριθμητική και Λογική Μονάδα

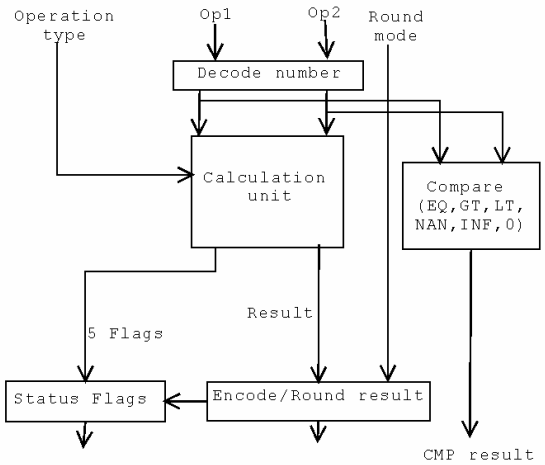
- Arithmetic and Logic Unit – ALU : Εκτελεί πρόσθεση, αφαίρεση, πράξεις της άλγεβρας Boole, ολίσθηση ή περιστροφή δεξιά ή αριστερά.
- Αποτελείται από συστοιχία πλήρων αθροιστών (full-adders), Ολισθητές (shifters), και συστοιχίες πυλών για εκτέλεση λογικών πράξεων.



Εντολές
ADD
ADC
SUB
SBB
MUL
DIV
AND
OR
SHL …

Μονάδα Κινητής Υποδιαστολής

- Floating Point Unit – FPU : εκτελεί πράξεις με δεκαδικούς αριθμούς, έχει δικές της εντολές και δικούς της καταχωρητές data-status.



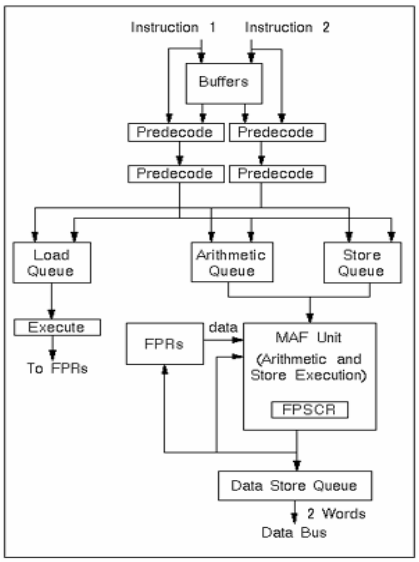


Figure 1 Block Diagram of POWER FPU

Μονάδα Κινητής Υποδιαστολής 2

- Οι δεκαδικοί αριθμοί αναπαρίστανται από ένα δεκαδικό μέρος μικρότερο της μονάδας (mantissa) και έναν εκθέτη (exponent).

mantissa	exponent
0.125	2

= 12.5

- Υλοποίηση της πράξης της πρόσθεσης μεταξύ δεκαδικών :

1. Εξίσωση των εκθετών
2. Πρόσθεση του ακέραιου μέρους
3. Κανονικοποίηση της mantissa

- Παράδειγμα : 0.5E-3 + 0.075E-2

1. 0.5E-3 + 0.75E-3 (εξίσωση εκθετών)
2. 1.25E-3 (πρόσθεση mantissa)
3. 0.125E-2 (κανονικοποίηση mantissa)

Μονάδα Ελέγχου

- Control Unit : Είναι υπεύθυνη για την λειτουργία ολόκληρου του Μ/Ε.

1. Παίρνει είσοδο από το ρολόι του συστήματος.
2. Παράγει σήματα συγχρονισμού προς όλες τις υπομονάδες.
3. Προσκομίζει κάθε εντολή και την αποθηκεύει στον IR.
4. Αποκωδικοποιεί την εντολή ενεργοποιώντας τις κατάλληλες υπομονάδες του Μ/Ε για την εκτέλεσή της.
5. Χειρίζεται τις εντολές μεταφοράς δεδομένων μεταξύ καταχωρητών, ALU, μνήμης και I/O.
6. Συνδέεται και ελέγχει το Control Bus, που χρησιμοποιείται για έλεγχο όλου του υπολογιστικού συστήματος.
7. Δέχεται τις διακοπές Interrupts και τις προωθεί στον Μ/Ε και παράγει σήματα διακοπής προς περιφερειακές συσκευές.

- Ο κύκλος εκτέλεσης κάθε εντολής υλοποιείται από τη μονάδα ελέγχου και έχει τρείς φάσεις : Προσκόμιση Εντολής (fetch), Υπολογισμός τελικής διεύθυνσης (effective address), Εκτέλεση εντολής (execution).

Μονάδα Ελέγχου 2

- Υλοποιείται με 2 τεχνικές : Λογικά Κυκλώματα & Μικροπρογρ/σμό.
- Υλοποίηση με λογικά κυκλώματα (Hard-wired Control Unit) : παράγει ταχύτατες μονάδες ελέγχου καθώς η λειτουργία τους στηρίζεται στο hardware (ψηφιακά συνδυαστικά κυκλώματα). Οι εντολές γλώσσας μηχανής εκτελούνται σε ένα κύκλο εκτέλεσης. Το σετ εντολών του Μ/Ε δεν μπορεί να αλλάξει.
- Σύγχρονες μονάδες ελέγχου : η λειτουργία τους στηρίζεται σε ρολόι που είναι ρυθμισμένο ώστε να προλαβαίνει να εκτελείται και η πιο αργή διαδικασία. Χρόνος εκτέλεσης κάθε εντολής εξαρτώμενος από τον αριθμό των πυλών. Αργή εκτέλεση εντολών.

  Μικρός κύκλος = απόσταση μεταξύ παλμών.

  Κύκλος Μηχανής = ολοκλήρωση φάσης – αρκετοί μικροί κύκλοι

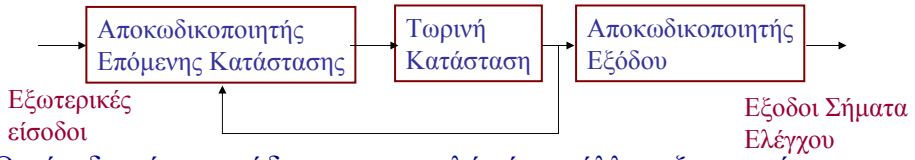
  Κύκλος Εντολής = ολοκλήρωση εντολής – αρκετοί κύκλοι μηχανής
- Ασύγχρονες μονάδες ελέγχου : χωρίς ρολόι, ο τερματισμός μίας εντολής διεγείρει την εκτέλεση της επόμενης. Βέλτιστες ως προς την ταχύτητα, πιο πολύπλοκες στην υλοποίηση.

Μονάδα Ελέγχου 3

- Υλοποίηση με μικροπρογραμματισμό (Microprogrammed Control Unit) : Στη μονάδα ελέγχου υπάρχει ένα μικροπρόγραμμα σε ROM που χωρίζεται σε ρουτίνες εξαιρετικά χαμηλού επιπέδου. Κάθε εντολή γλώσσας μηχανής υλοποιείται ως μία ακολουθία εντολών μικροκώδικα.
- Οι εντολές μικροκώδικα ελέγχουν όλα τα εσωτερικά μέρη του Μ/Ε (διαύλους, εσωτερικούς καταχ/τές, κανονικούς καταχ/τές, ALU, κ.λ.π.)
- Κάθε εντολή γλώσσας μηχανής απαιτεί πολλούς κύκλους ρολογιού, καθώς υλοποιείται με πολλές μικρολειτουργίες.
- Αρκετές μικρολειτουργίες μπορούν να εκτελούνται και παράλληλα.
- Το σετ εντολών του Μ/Ε μπορεί να αλλάξει με εμπλουτισμό των ρουτινών μικροκώδικα. Παράδειγμα εντολών μικροκώδικα :
- MAR←IP, IP=IP+1, MDR ← DB, IR←MDR – κύκλος προσκόμισης
- T1 : MAR ←IP
- T2 : IP=IP+1, MDR ← DB
- T3 : Αναμονή
- T4 : IR ←MDR

Μονάδα Ελέγχου 4

- Μονάδα ελέγχου υλοποιημένη με υλικό (hard-wired) :



Οι είσοδοι είναι ο κώδικας της εντολής ή και άλλες εξωτερικές πληροφορίες (π.χ. Σήματα διακοπών). Η τωρινή κατάσταση αποτελείται από την κατάσταση των επεξεργαστών και του status register.

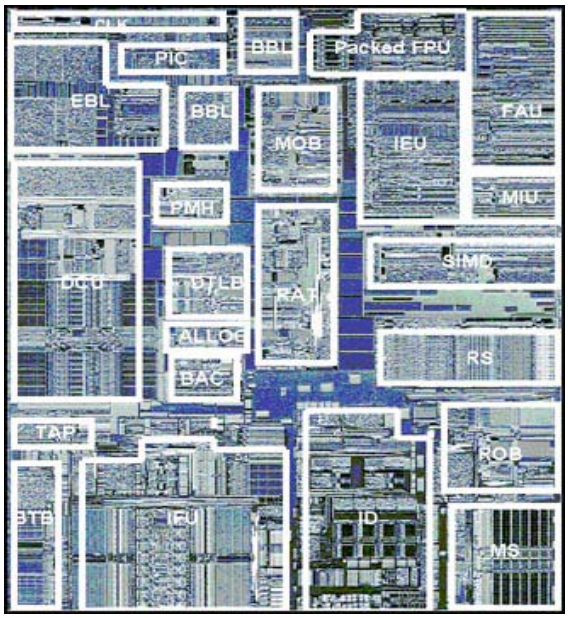
- Μονάδα ελέγχου υλοποιημένη με μικροκώδικα (microprogrammed) :

- Τα σήματα ελέγχου έχουν κατάλληλη διάρκεια και για να προλαβαίνουν να εκτελούνται και οι πιό αργές λειτουργίες.

Εσωτερικός Δίαυλος

- Ένας τυπικός Μ/Ε έχει δύο εσωτερικούς διάυλους :
- Δίαυλος δεδομένων – Internal Data Bus : είναι αμφίδρομος και συνδέει τους καταχωρητές μεταξύ τους. Συνδέεται με τον εξωτερικό δίαυλο δεδομένων μέσω των ακροδεκτών D0..D7 ώστε να μεταφέρει δεδομένα προς και από τη μνήμη και τις περιφερειακές συσκευές. Έχει πλάτος συνήθως μία λέξη (όση και η χωρητικότητα των καταχωρητών). Στον 8088 data bus = 8 bit ενώ οι καταχωρητές είναι των 16 bit. Η σύνδεση με τον εξωτερικό δίαυλο γίνεται μέσω απομονωτή (buffer).
- Δίαυλος διευθύνσεων – Internal Address Bus : συνδέεται με τους καταχωρητές διευθύνσεων ώστε να σχηματίζεται σε αυτόν η διεύθυνση μνήμης που πρέπει να προσπελαστεί. Συνδέεται στον εξωτερικό δίαυλο διευθύνσεων μέσω των ακροδεκτών A0..A19 ώστε να επιλέγει διευθύνσεις από τη μνήμη RAM. Στον 8088 address bus = 20 bit. Η σύνδεση με τον εξωτερικό δίαυλο γίνεται μέσω απομονωτή (buffer).

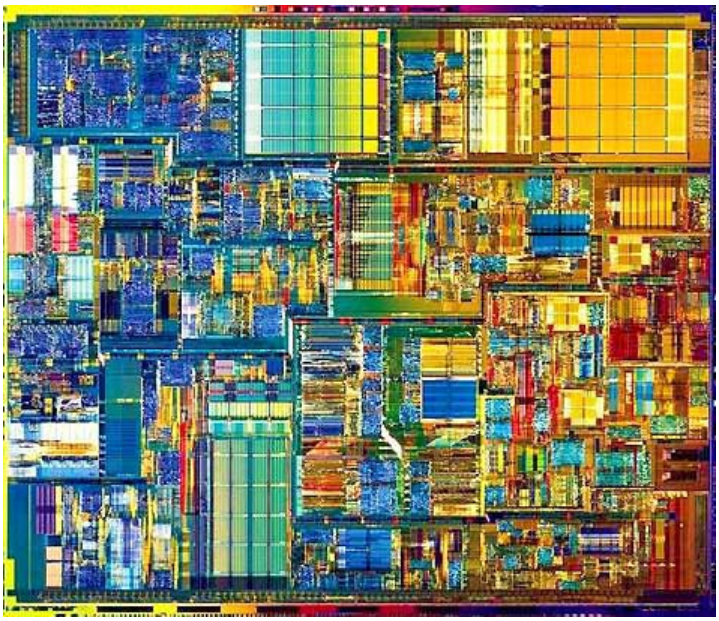
Pentium III Katmai



- EBL/BBL - Bus logic, Front, Back
- MOB - Memory Order Buffer
- Packed FPU - MMX Fl. Pt. (SSE)
- IEU - Integer Execution Unit
- FAU - Fl. Pt. Arithmetic Unit
- MIU - Memory Interface Unit
- DCU - Data Cache Unit
- PMH - Page Miss Handler
- DTLB - Data TLB
- BAC - Branch Address Calculator
- RAT - Register Alias Table
- SIMD - Packed Fl. Pt.
- RS - Reservation Station
- BTB - Branch Target Buffer
- IFU - Instruction Fetch Unit (+I$)
- ID - Instruction Decode
- ROB - Reorder Buffer
- MS - Micro-instruction Sequencer

Pentium III, Katmai: 9.5 M transistors, 12.3 x 10.4 mm, 250 nm CMOS with 5 layers of Al

Pentium 4



- 55M xistors
  - PIII: 26M
- 217 mm^2
  - PIII: 106 mm^2
- L1 Execution Cache
  - Buffer 12,000 Micro-Ops
- 8KB data cache
- 256KB L2$

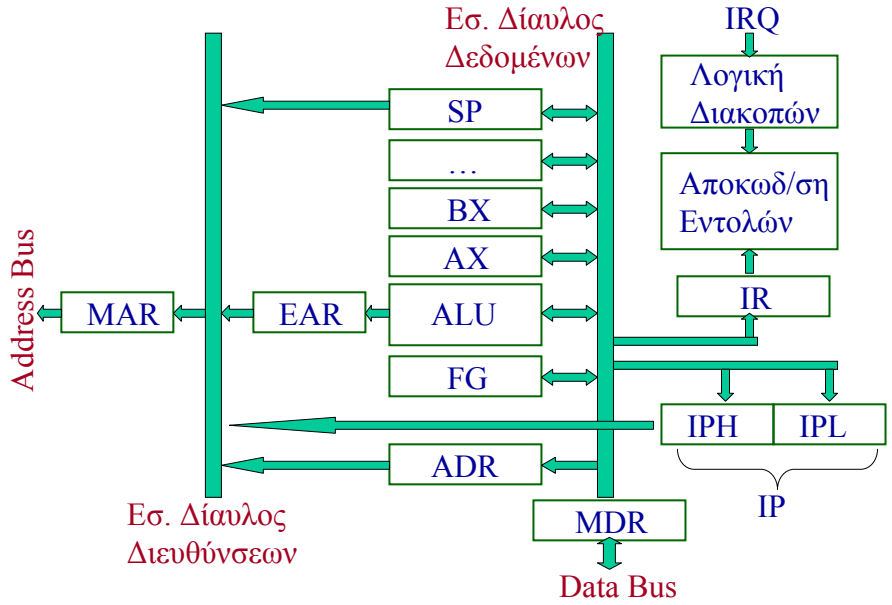
Δομή των εντολών

- Κάθε εντολή της ΚΜΕ αποτελείται από 1 έως N bytes ανάλογα με τον επεξεργαστή. Στον 8088 από 1 έως 5 bytes.
- Το πρώτο ή τα 2 πρώτα bytes περιέχουν τον κωδικό της εντολής (Opcode). Κάθε εντολή μπορεί να έχει ένα πλήθος από διαφορετικά opcodes ανάλογα με τα είδη διευθυνσιοδότησης που συντάσσεται.
- Τα επόμενα bytes περιέχουν παραμέτρους της εντολής (αριθμούς ή διευθύνσεις) και ονομάζονται τελεσταίοι (operands).

Εντολή	Μνήμη	Εντολή	Μνήμη	Εντολή	Μνήμη
CLC	F8	INT 85	CD	ADD AX,1234	05
		(αριθμός)	85	(low byte)	34
				(high byte)	12

- Όσα περισσότερα byte έχει μία εντολή τόσο περισσότερο χρόνο χρειάζεται για να εκτελεστεί.

Εσωτερική Δομή Μικροεπεξεργαστών



Στάδια Εκτέλεσης Εντολών

- Κάθε εντολή της ΚΜΕ εκτελείται σε 3 φάσεις :

1. Προσκόμιση (fetch)
2. Αποκωδικοποίηση (Decode)
3. Εκτέλεση (Execute)

- Τα 3 αυτά βήματα αναλύονται στις ακόλουθες ενέργειες:

1. Προσκόμιση της επόμενης εντολής από την μνήμη (δείκτης IP). Αποθήκευση της εντολής (1 byte) στον καταχωρητή εντολών (IR). Αποθήκευση της διεύθυνσης (παράμετρος εντολής) στον καταχωρητή ADR.
2. Αλλαγή του IP ώστε να δείχνει την επόμενη εντολή.
3. Προσδιορισμός του τύπου της εντολής από τη Μονάδα Ελέγχου.
4. Υπολογισμός της τελικής διεύθυνσης δεδομένων (έμμεση ή δεικτοδοτούμενη διευθυνσιοδότηση).
5. Ανάκτηση των τελικών δεδομένων από την μνήμη.
6. Εκτέλεση της εντολής.
7. Αποθήκευση των αποτελεσμάτων στην κατάλληλη θέση.

Στάδια Εκτέλεσης Εντολών 2

- Βήμα 1 : προσκόμιση της εντολής.

1. Η επόμενη εντολή βρίσκεται στην διεύθυνση που δείχνει ο IP
2. Το περιεχόμενο του IP μεταφέρεται στον καταχωρητή διεύθυνσης μνήμης (MAR) και από εκεί στον εξωτερικό δίαυλο διευθύνσεων (Address Bus).
3. Μετά από μία χρονική καθυστέρηση (χρόνος προσπέλασης μνήμης) το πρώτο byte της εντολής (opcode) εμφανίζεται στον εξωτερικό δίαυλο δεδομένων (Data Bus)
4. Τα δεδομένα του Data Bus αποθηκεύονται στον καταχωρητή δεδομένων (MDR).
5. Το περιεχόμενο του MDR μεταφέρεται στον καταχωρητή εντολής (IR).
6. Η διεύθυνση του IP αυξάνεται κατά 1 ώστε να δείχνει στο επόμενο byte (operands ή επόμενο opcode). Η ενημέρωση του IP γίνεται μετά από κάθε ανάγνωση μνήμης.

Στάδια Εκτέλεσης Εντολών 3

- Βήμα 2 : αποκωδικοποίηση της εντολής (opcode).
- Η μονάδα ελέγχου αποκωδικοποιεί την εντολή, είτε με συνδυαστικά ψηφιακά κυκλώματα (hard-wired control unit) είτε με μικροπρόγραμμα (microprogrammed control unit) και αποφασίζει ποιά τμήματα του Μ/Ε θα ενεργοποιηθούν και με ποιά σειρά.
- Βήμα 3 : Υπολογισμός και ανάγνωση τελικής διεύθυνσης.
- Αν απλά απαιτείται ανάγνωση μνήμης τότε γίνονται τα εξής :

1. Το περιεχόμενο του IP μεταφέρεται στον MAR και στο Address Bus.
2. Τα δεδομένα του Data Bus μεταφέρονται στον MDR και στον ADR.
3. Αν η διεύθυνση είναι 16 bit τα παραπάνω βήματα επαναλαμβάνονται.

- Αν απαιτείται και υπολογισμός διεύθυνσης (έμμεση, δεικτοδοτούμενη) τότε γίνονται τα εξής :

1. (Έμμεση) μία επιπλέον ανάγνωση μνήμης (των 2 bytes) στον ADR ή
2. Πρόσθεση της διεύθυνσης με καταχωρητή δείκτη μέσω ALU και αποθήκευση στον EAR.

Στάδια Εκτέλεσης Εντολών 4

- Βήμα 4 : ανάκτηση των τελικών δεδομένων.

1. Η διεύθυνση των δεδομένων βρίσκεται είτε στον ADR (απόλυτη, έμμεση) είτε στον EAR (δεικτοδοτούμενες) είτε στον SP (δεικτοδότηση σωρού – το βήμα 3 δεν εκτελείται).
2. Η διεύθυνση του κατάλληλου καταχωρητή μεταφέρεται στον MAR.
3. Μετά από μία χρονική καθυστέρηση (χρόνος προσπέλασης μνήμης) το byte των δεδομένων εμφανίζεται στον εξωτερικό δίαυλο δεδομένων (Data Bus)
4. Τα δεδομένα του Data Bus αποθηκεύονται στον καταχωρητή δεδομένων (MDR).

- Βήμα 5 : εκτέλεση της εντολής και αποθήκευση αποτελεσμάτων
- Ανάλογα με το είδος της εντολής σε αυτό το στάδιο απαιτείται μία ακόμα σειρά βημάτων για την ολοκλήρωση της εντολής και την αποθήκευση των αποτελεσμάτων σε καταχωρητές ή στη μνήμη.

Στάδια Εκτέλεσης Εντολών 5

- Στάδια εκτέλεσης των εντολών σε συμβολική γλώσσα μικροπρογράμματος :

1. MAR ← IP ; IP ← IP+1 ; Αναμονή ; MDR ← DB ; IR ← MDR
2. Αποκωδικοποίηση του IR από το Control Unit
3. MAR ← IP ; IP ← IP+1 ; Αναμονή ; MDR ← DB ; ADR ← MDR

   Σε περίπτωση έμμεσης διευθυνσιοδότησης :

   MAR ← ADR ; Αναμονή ; MDR ← DB ; ADR ← MDR

   Σε περίπτωση δεικτοδοτούμενης διευθυνσιοδότησης :

   EAR ← (SI ή DI ή BX ή BP) + ADR
4. MAR ← ADR ή MAR ← EAR ή MAR ← SP ; Αναμονή ; MDR ←DB
5. Εκτέλεση της εντολής και αποθήκευση αποτελεσμάτων.

   Π.χ για ADD AX,0200 : AX ← AX + MDR

   Π.χ. για MOV [0100],CX : MDR ← CX ; DB ← MDR (x2 low,high)

Στάδια Εκτέλεσης Εντολών 6

- Παράδειγμα εκτέλεσης εντολής MOV AL,[1234] από τη θέση 0100 :

Φάση	Εξωτερική Λειτουργία	AB	DB	Εσωτερική Λειτουργία
1	Διάβασμα opcode	0100	MOV ($A0_{16}$)	MAR←IP; IP←IP+1(0101); MDR←DB; IR←MDR
2	Διάβασμα low byte	0101	34	MAR←IP; IP←IP+1(0102); MDR←DB; ADR_L←MDR
3	Διάβασμα high byte	0102	12	MAR←IP; IP←IP+1(0103); MDR←DB; ADR_H←MDR
4	Διάβασμα του operand	1234	(1234)	MAR←ADR;MDR ←DB
5	Τοποθέτηση στον AL	-	-	AL ← MDR
6	Επόμενη εντολή	0103	(0103)	MAR←IP; IP←IP+1(0104); MDR←DB; IR←MDR

Κύκλοι Εντολών

- Σε κάθε περίοδο του ρολογιού (1/συχνότητα) εκτελείται μία ή περισσότερες εντολές μικροκώδικα. Κάθε τέτοια περίοδος ονομάζεται «Μικρός Κύκλος» (minor cycle) ή «Κύκλος Εσωτερικής Κατάστασης» (state cycle). Παράδειγμα :
  T1: MAR ← IP
  T2: IP ← IP+1 ; Αναμονή
  T3: MDR ← DB ; IR ← MDR
- Κύκλος Μηχανής (machine cycle) ή Μεγάλος Κύκλος (major cycle) είναι ο χρόνος που απαιτείται για την προσπέλαση μίας θέσης μνήμης και απαιτεί έναν αριθμό από μικρούς κύκλους (3).
- Κύκλος Εντολής (instruction cycle) είναι ο χρόνος ολοκλήρωσης μία εντολής και διαρκεί έναν ή περισσότερους κύκλους μηχανής.

ΚΥΚΛΟΣ ΕΝΤΟΛΗΣ (ADD AX,5678)								
Κύκλος Μηχανής 1			Κύκλος Μηχανής 2			Κύκλος Μηχανής 3		
T1	T2	T3	T1	T2	T3	T1	T2	T3
MAR←IP	wait	IR ←MDR	MAR←IP	wait	MDR_L ←DB	MAR←IP	wait	MDR_H ←DB, AX←AX+MDR

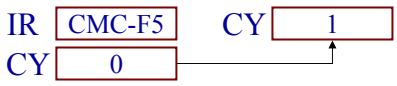
Κατηγορίες Εντολών

- Οι εντολές ενός Μ/Ε χωρίζονται σε αρκετές κατηγορίες :

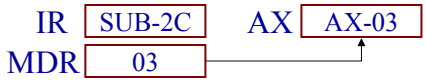
1. Εντολές μεταφοράς δεδομένων μεταξύ καταχωρητών και μνήμης (MOV, PUSH, POP, XCHG, IN, OUT, XLAT, LAHF, SAHF,).
2. Εντολές αριθμητικών πράξεων (ADD, ADC, INC, SUB, SBB, DEC, NEG, MUL, IMUL, DIV, IDIV, CBW, CWD).
3. Εντολές λογικών πράξεων (AND, OR, XOR, TEST, NOT).
4. Εντολές σύγκρισης καταχωρητών και μνήμης (CMP)
5. Εντολές ολίσθησης και περιστροφής (SHL, SHR, SAR, ROL, ROR, RCL, RCR)
6. Εντολές χειρισμού αλφαριθμητικών (REP, MOVS, CMPS, SCAS, LODS, STOS)
7. Εντολές διακλάδωσης υπό συνθήκη ή άνευ συνθήκης (CALL, JMP, LOOP, INT, JE/NZ, JNE/JNZ, JL/JNGE, JLE/JNG, JNL/JGE, …).
8. Ειδικές εντολές που δεν υπάγονται στις παραπάνω κατηγορίες (NOP, CLC, STC, CMC, CLD, STD, CLI, STI, HALT, WAIT, ESC, LOCK).

Τρόποι Προσπέλασης Μνήμης

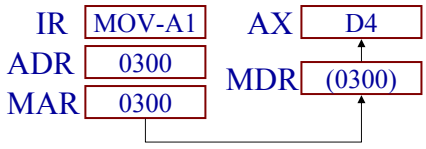
- Υπονοούμενος (Implied). Παράδειγμα : CMC



- Άμεση Προσπέλαση (Immediate). Παράδειγμα : SUB AX, 03

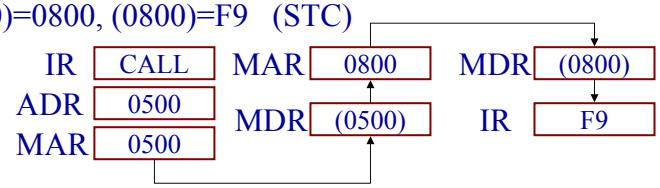


- Απόλυτη Προσπέλαση (Absolute). Π.χ. : MOV [0300],AX (0300)=D4

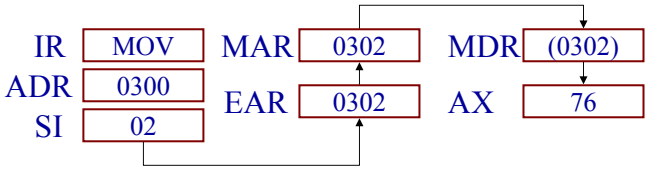


Τρόποι Προσπέλασης Μνήμης 2

- Έμμεσος απόλυτος (Indirect Absolute). Π.χ. : CALL FAR [0500], (0500)=0800, (0800)=F9 (STC)



- Απόλυτος Δεικτοδοτούμενος (Absolute Indexed). Π.χ. : MOV [SI+0300],AL (SI)=02, (0302)=76



- Η δεικτοδότηση με άλλους καταχωρητές π.χ. DI, BP, BX είναι παρόμοια με την παραπάνω.

Αρχιτεκτονικές CISC - RISC

- Μέχρι το τέλος της δεκαετίας του 70 επικρατούσε η σχεδίαση Μ/Ε με σύνθετες εντολές που αποκωδικοποιούνταν με μικροκώδικα. Οι εντολές αυτές απαιτούν αρκετούς κύκλους μηχανής. Οι υπολογιστές που βασίζονται σε αυτή την αρχή ονομάζονται CISC (Complex Instruction Set Computer). Μία εντολή υψηλού επιπέδου (A=B/2+C) υλοποιείται με λίγες εντολές γλώσσας μηχανής.
- Αρχές του 80 παρουσιάστηκε το μοντέλο Μ/Ε RISC (Reduced Instruction Set Computer). Οι RISC υλοποιούν λίγες και απλές εντολές που εκτελούνται ταχύτατα. Μία εντολή υψηλού επιπέδου υλοποιείται με περισσότερες εντολές γλώσσας μηχανής. Αρχές σχεδιασμού RISC:

1. Εκτέλεση εντολών απευθείας από το υλικό με hard-wired Control Units
2. Μεγιστοποίηση ρυθμού υποβολής εντολών με υλοποίηση παράλληλων αρχιτεκτονικών προσκόμισης και εκτέλεσης εντολών.
3. Εύκολη αποκωδικοποίηση των εντολών : οι εντολές έχουν όλες το ίδιο μήκος και την ίδια μορφή (opcode+operands).
4. Περιορισμός των εντολών που προσπελαύνουν τη μνήμη.
5. Αφθονία καταχωρητών γενικής χρήσης.

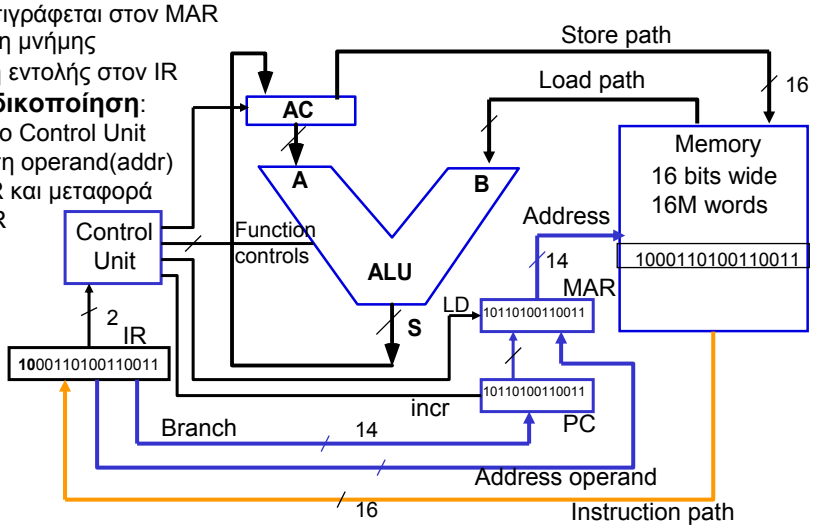
Αρχιτεκτονικές CISC - RISC 2

- Παραδείγματα RISC επεξεργαστών : SPARC (SUN), MIPS (MIPS Technologies Inc.), Alpha (DEC), POWER4 (IBM). Χρησιμοποιούνται σε Workstations υψηλών δυνατοτήτων.
- Ανώτεροι από τους αντίστοιχους CISC της Intel αλλά δεν επικράτησαν ευρέως για λόγους συμβατότητας και υψηλού κόστους.
- Από τον 80486 και μετά η Intel ενσωμάτωσε στοιχεία RISC στους CISC μικροεπεξεργαστές της – υβριδικές CPUs που συνδυάζουν τα πλεονεκτήματα και των δύο τύπων Μ/Ε.
- Ο πυρήνας είναι RISC και εκτελεί τις απλούστερες εντολές, ενώ οι σύνθετες εκτελούνται μέσω μικροπρογράμματος όπως στους CISC.
- Οι συνηθισμένες εντολές εκτελούνται ταχύτατα, ενώ οι λιγότερο συνηθισμένες εκτελούνται πιο αργά.
- Πετυχαίνουν ανταγωνιστική επίδοση σε σχέση με τους καθαρόαιμους RISC αλλά και συμβατότητα με τους προηγούμενους Μ/Ε της Intel.

Η λειτουργία της πρόσθεσης

1. Προσκόμιση Εντολής:
- Ο PC αντιγράφεται στον MAR
- Ανάγνωση μνήμης
- Φόρτωση εντολής στον IR

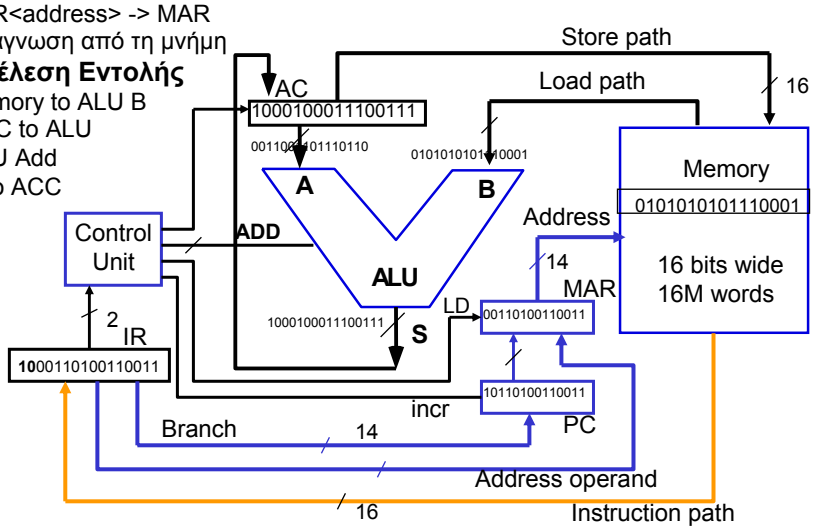
2. Αποκωδικοποίηση:
- Opcode to Control Unit
- Ανάγνωση operand(addr) στον ADR και μεταφορά στον MAR



Προσκόμιση τελεσταίου & εκτέλεση

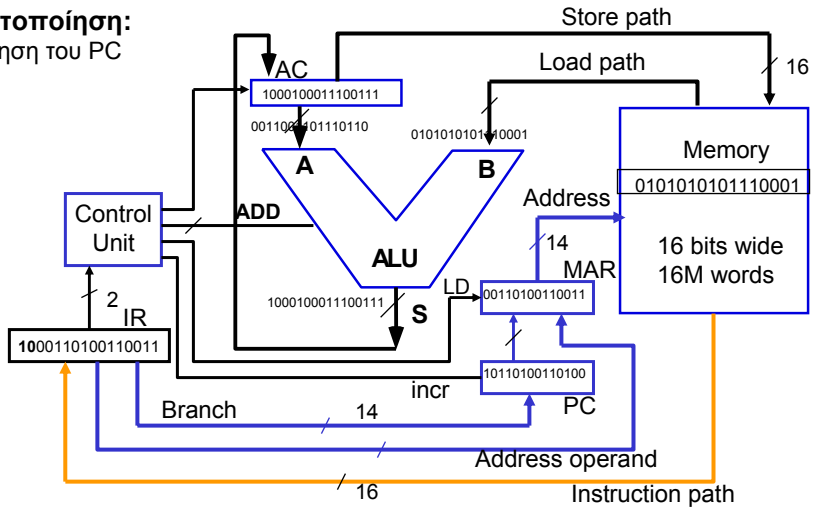
3. Προσκόμιση τελεσταίου:
- ADR<address> -> MAR
- Ανάγνωση από τη μνήμη

4. Εκτέλεση Εντολής
- Memory to ALU B
- ACC to ALU
- ALU Add
- S to ACC



Προετοιμασία για την επόμενη εντολή

5. Τακτοποίηση:
- Αύξηση του PC



Σήματα Ελέγχου

- Στους Μικροεπεξεργαστές υπάρχουν τρείς δρόμοι πληροφορίας (buses): ο δίαυλος δεδομένων (Data Bus), ο δίαυλος διευθύνσεων (Address Bus) και ο δίαυλος ελέγχου (Control Bus).
- Τα σήματα που μεταφέρονται μέσω του Control Bus ονομάζονται και «σήματα ελέγχου» και χωρίζονται σε 5 κατηγορίες :

1. Σήματα ελέγχου της μνήμης και των περιφερειακών συσκευών.
2. Σήματα ελέγχου του καναλιού DMA (Direct Memory Access).
3. Σήματα διακοπής (interrupt signals).
4. Σήματα κατάστασης του Μικροεπεξεργαστή.
5. Λοιπά σήματα ελέγχου.

- Τα σήματα ελέγχου παράγονται στον Μ/Ε από την μονάδα ελέγχου (Control Unit) ως αποτέλεσμα εκτέλεσης εντολών ή απόκρισης σε εισερχόμενα σήματα ελέγχου από περιφερειακές συσκευές.

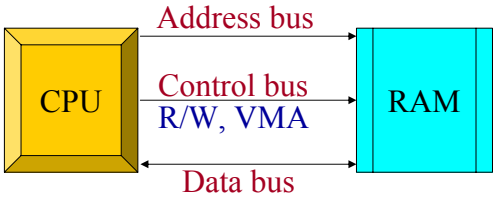
Σήματα Ελέγχου Μνήμης και Π.Σ.

- Με τα σήματα αυτά επιτυγχάνεται η επικοινωνία του Μ/Ε με την μνήμη και τις περιφερειακές συσκευές.

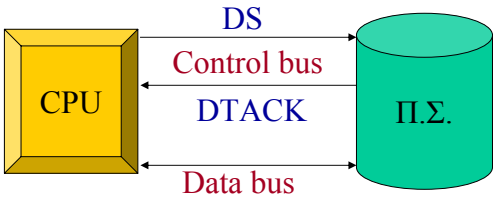
Όνομα	Είσ/Εξ	Λειτουργία
R/W (Read/Write)	Έξοδος	R/W=1 διάβασμα μνήμης, R/W=0 εγγραφή μνήμης
VMA (Valid Memory Address)	Έξοδος	Δείχνει ότι στο Address Bus υπάρχει μία έγκυρη διεύθυνση
DS (Data Strobe)	Έξοδος	Όταν αποστέλλονται δεδομένα προς Π.Σ. το DS δείχνει ότι υπάρχουν έγκυρα δεδομένα στο Data Bus.
DTACK (Data transfer acknowledge)	Είσοδος	Παράγεται από τις Π.Σ. και φανερώνει ότι τα δεδομένα διαβάστηκαν από την Π.Σ. Ασύγχρονη επικοινωνία - handshaking

Σήματα Ελέγχου Μνήμης και Π.Σ.

- Σήματα ελέγχου μνήμης – επικοινωνία Μ/Ε και μνήμης.



- Σήματα ελέγχου Περιφερ. Συσκευών – επικοινωνία Μ/Ε και Π.Σ.



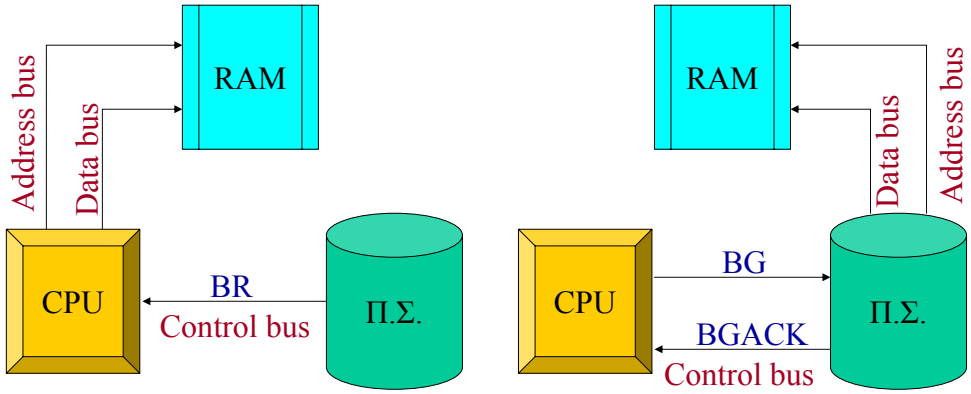
Σήματα Ελέγχου του DMA

- Ο έλεγχος των Address Bus, Data Bus, R/W και VMA γίνεται από τον Μ/Ε. Μπορεί όμως να χορηγηθεί ο έλεγχός τους και σε μία Π.Σ. για απευθείας μεταφορά δεδομένων στη μνήμη (Direct Memory Access)
- Η συσκευή στέλνει το σήμα BR ως αίτηση για τον έλεγχο AB+DB. Αν ο Μ/Ε το δεχτεί στέλνει το σήμα BG και αποδεσμεύει AB, DB, R/W και VMA. Η Π.Σ. αναγνωρίζει την λήψη του BG στέλνοντας BGACK.

Όνομα	Είσ/Εξ	Λειτουργία
BR (Bus Request)	Είσοδος	Δείχνει πως κάποια Π.Σ. θέλει να αναλάβει τον έλεγχο των Addr. Bus και Data Bus.
BG (Bus Granted)	Έξοδος	Ο Μ/Ε έχει αποσυζεύξει AB+DB και χορηγεί τον έλεγχό τους στην Π.Σ.
BGACK (Bus Grant Acknowledge)	Είσοδος	Δείχνει ότι η Π.Σ. είναι έτοιμη να αναλάβει τον έλεγχο AB+DB.

Σήματα Ελέγχου του DMA

- Σήματα ελέγχου DMA – απευθείας επικοινωνία Π.Σ. με τη μνήμη.



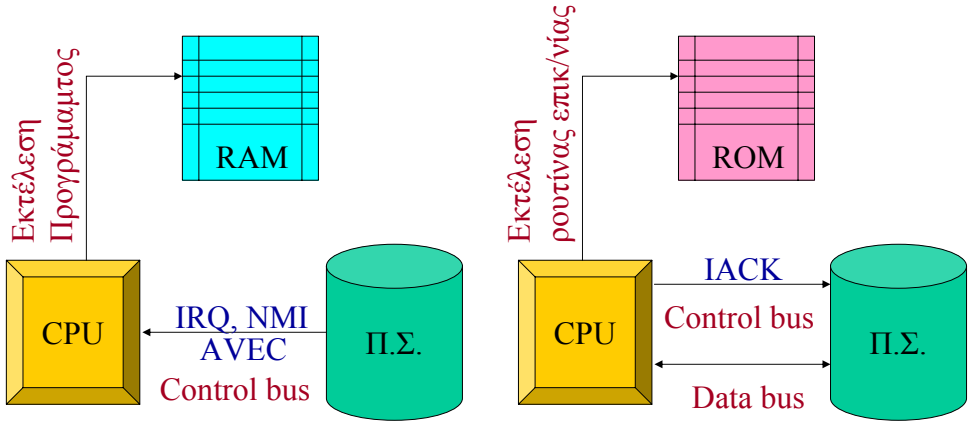
Σήματα Διακοπών - Interrupts

- Ένας τρόπος επικοινωνίας CPU και Π.Σ. είναι μέσω των διακοπών. Η Π.Σ. παράγει ένα σήμα διακοπής ως αίτηση επικοινωνίας. Η CPU διακόπτει το τρέχον πρόγραμμα, σώζει την κατάστασή της και εκτελεί την ρουτίνα επικοινωνίας με την Π.Σ.
- Μία γραμμή IRQ ανά συσκευή, Polling, Vectored Interrupt (AVEC και διεύθυνση στο Data Bus).

Όνομα	Είσ/Εξ	Λειτουργία
IRQ (Interrupt Request)	Είσοδος	Διακοπή χαμηλής προτεραιότητας. Εκτελείται αν δεν υπάρχει NMI και αν FG-IF=1
NMI (Non-Maskable Interrupt)	Είσοδος	Διακοπή υψηλής προτεραιότητας. Εκτελείται πάντα και άμεσα, διακόπτει άλλες ρουτ.
IACK (Interrupt Acknowledge)	Έξοδος	Η CPU ειδοποιεί την Π.Σ. ότι η αίτηση για επικοινωνία έγινε δεκτή.
AVEC (Automatic Vectoring)	Είσοδος	Ενεργοποιείται από την Π.Σ. όταν χρησιμοποιείται η διανυσματική διακοπή.

Σήματα Διακοπών - Interrupts

- Σήματα διακοπών – ασύγχρονη επικοινωνία Π.Σ. με την CPU.



Σήματα Κατάστασης του Επεξεργαστή

- Με ανάγνωση του P/D μπορούμε να καταλαβαίνουμε πότε εκτελείται μία νέα εντολή. Χρησιμοποιείται για εκτέλεση προγράμματος βήμα-βήμα (single step operation).
- Το σήμα S/U δηλώνει την κατάσταση λειτουργίας του Μ/Ε.

1. S/U=1 : Κατάσταση συστήματος ή επόπτη ή πυρήνα (system / supervisor / kernel mode). Ενεργοποιείται για αδιαίρετη εκτέλεση ρουτίνων του Λειτουργικού Συστήματος
2. S/U=0 : Κατάσταση χρήστη (user mode). Ενεργοποιείται κατά την εκτέλεση προγραμμάτων των χρηστών (εφαρμογές).

Όνομα	Είσ/Εξ	Λειτουργία
P/D (Program/Data fetch)	Έξοδος	Δηλώνει την φάση εκτέλεσης εντολής. P/D=1, διάβασμα opcode, P/D=0, data.
S/U (System/User state)	Έξοδος	Δηλώνει την κατάσταση λειτουργίας του Μ/Ε. S/U=1 κατάσταση συστήματος, S/U=0, κατάσταση χρήστη

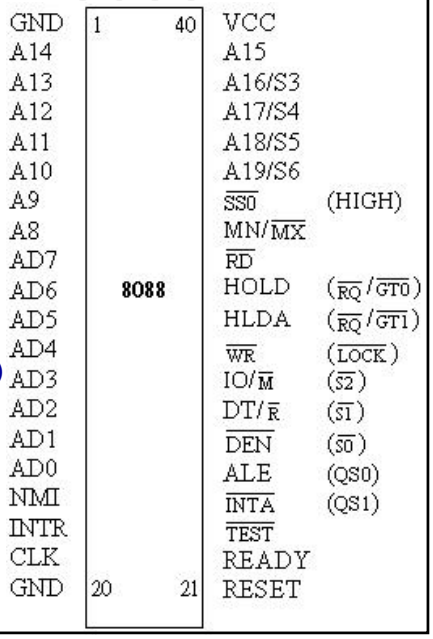
Λοιπά Σήματα Ελέγχου

- Κατά την ασύγχρονη επικοινωνία CPU και Π.Σ. όταν ενεργοποιηθεί το DS (Data Strobe) αρχίζει να μετράει ένα χρονόμετρο. Αν δεν γίνει reset του χρονόμετρου από σήμα DTACK τότε παράγεται το σήμα BERR που ειδοποιεί την CPU ώστε να μην περιμένει επ' άπειρον.
- Για να εκκινεί ο Η/Υ από το ίδιο σημείο προγράμματος και για να επαναφέρεται σε περίπτωση ατέρμονων βρόχων παράγεται εξωτερικά το σήμα Reset.
- Όσο διαρκεί το σήμα HALT η CPU δεν λειτουργεί (διαθέσιμα AB,DB)

Όνομα	Είσ/Εξ	Λειτουργία
BERR (Bus Error)	Είσοδος	Όταν κάποια Π.Σ. δεν αποκρίνεται τότε παράγεται αυτό το σήμα.
RESET	Είσοδος	Για να ξεκινήσει η CPU από προκαθο-ρισμένο πρόγραμμα
HALT	Είσοδος	Σήμα αναστολής της λειτουργίας της CPU

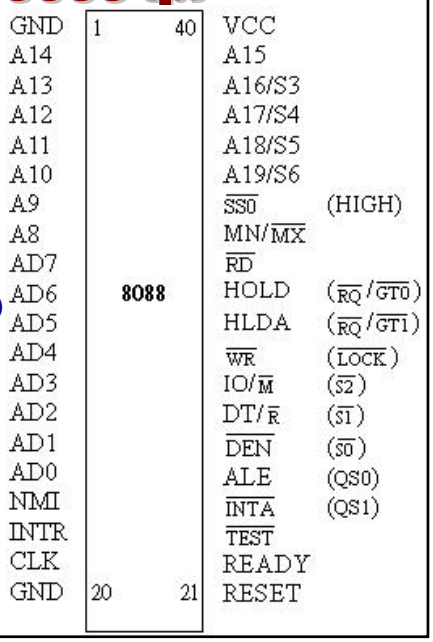
Pin Ελέγχου στον 8088

- Ο 8088 επικοινωνεί με την μνήμη και τις Π.Σ. με τα εξής σήματα:
- Η διεύθυνση εξάγεται στα pin A0..A19
- ALE : address latch enable (VMA) δείχνει ότι στο AB υπάρχει έγκυρη δ/νση
- DEN: data enable (DS) Τα pin AD0..AD7 συνδέονται με τον MDR. Δηλώνει ότι υπάρχουν έγκυρα δεδομένα στο data bus.
- WR : write (R/W) δείχνει κατάσταση εγγραφής (μνήμη,I/O)
- RD : read (R/W) δείχνει κατάσταση ανάγνωσης
- READY : είσοδος από την μνήμη ή τις Π.Σ. που υποδηλώνει ότι η ενέργεια (R/W) θα πραγματοποιηθεί (DTACK)



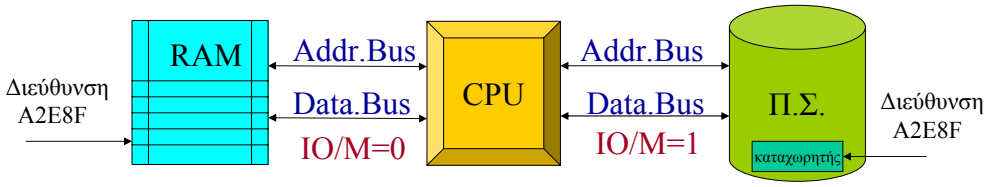
Pin Ελέγχου στον 8088 (β)

- Ο 8088 έχει 9 pin ελέγχου που λειτουργούν με 2 τρόπους (min/max). Minmode:
- ALE: address latch enable (VMA) δείχνει ότι στο AB υπάρχει έγκυρη δ/νση
- DEN: data enable (DS) δείχνει ότι στο DB υπάρχουν έγκυρα δεδομένα
- WR: write (R/W) δείχνει κατάσταση εγγραφής (μνήμη,I/O)
- HOLD (είσοδος, σταματά τον M/E)
- HDLA: hold acknowledge εκπέμπεται από τον M/E όταν η λειτουργία του είναι σε αναστολή
- INTA: interrupt acknowledge
- IO/M: προσπέλαση μνήμης ή I/O
- DT/R: data transmit / receive (direction)
- SSO: κατάσταση M/E (0=προσκ.opcode)



Προσπέλαση Μνήμης και I/O

- Η επικοινωνία του M/E με τις Π.Σ. γίνεται επίσης μέσω των διαύλων διευθύνσεων και δεδομένων, όπως και με την μνήμη.
- Οι ελεγκτές (controllers) των Π.Σ. έχουν καταχωρητές οι οποίοι απεικονίζονται (χαρτογραφούνται) σε συγκεκριμένες διευθύνσεις μνήμης και προσπελαύνονται με τις εντολές OUT και IN.
- Έτσι ο M/E για να γράψει π.χ. μία λέξη σε ένα καταχωρητή μίας Π.Σ. εξάγει την αντίστοιχη διεύθυνση στο Address Bus, και μετά από λίγο εξάγει τα δεδομένα στο Data Bus.
- Ο διαχωρισμός για το αν η λέξη θα γραφτεί στην RAM ή σε Π.Σ. γίνεται μέσω μίας γραμμής ελέγχου που είναι η «IO/M» (I/O or Memory).



Pin Ελέγχου στον 8088 (γ)

- Maxmode: επιτρέπει την επικ/νία DMA και την χρήση μαθημ.συνεπεξεργαστή 8087. Χρειάζεται τον 8288 bus controller, για αποκωδικοποίηση των σημάτων.
- S0, S1, S2: σήματα κατάστασης. Παράγουν 2^3=8 σήματα ελέγχου μέσω του 8288.
- RQ/GT0, RQ/GT1: bus request/grant λειτουργούν ως BR, BG για 2 συσκευές DMA. Το RQ/GT0 έχει προτεραιότητα.
- LOCK: κλειδώνει την χρήση του System Bus (δεν επιτρέπει DMA).
- QS1, QS0: queue status (επιτρέπει τον εξωτερικό έλεγχο της εσωτερικής ουράς εκτέλεσης εντολών: 00=no oper., 01=1st byte from opcode, 10=empty queue, 11=2nd opcode byte).
- HIGH = πάντα με τιμή 1

MAX

S2	S1	S0	Characteristics
0	0	0	Interrupt Acknowledge
0	0	1	Read I/O Port
0	1	0	Write I/O Port
0	1	1	Halt
1	0	0	Code Access
1	0	1	Read Memory
1	1	0	Write Memory
1	1	1	Passive

Τρόποι Επικοινωνίας Μ/Ε και Π.Σ.

- Οι τρόποι επικοινωνίας ποικίλουν ανάλογα με το είδος της Π.Σ. την ταχύτητα απόκρισης, τον όγκο της πληροφορίας και την περιπλοκότητα υλικού και λογισμικού :

1. Κανονικός/Εσωτερικός τρόπος (normal/internal mode) : είναι ο τρόπος επικοινωνίας του Μ/Ε με την μνήμη (R/W, VMA, DS, DTACK).
2. Τρόπος Αναμονής/Ενεργοποίησης (wait/go mode) : χρησιμοποιείται για αργές Π.Σ. Ο Μ/Ε δηλώνει στην Π.Σ. ότι είναι σε κατάσταση αναμονής για επικοινωνία (σήμα Wait). Όταν η Π.Σ. ανταποκριθεί στέλνει το σήμα Go.
3. Τρόπος Εξέτασης/Μετάβασης (test/skip mode) : υλοποιείται με λογισμικό. Το πρόγραμμα διαβάζει μέσω Data Bus την κατάσταση της Π.Σ. και εκτελεί ένα βρόχο αναμονής έως ότου διαβάσει «Π.Σ. έτοιμη» οπότε συνεχίζει στην επόμενη εντολή. Εξομοιώνει τα σήματα W και G όταν αυτά δεν είναι διαθέσιμα.

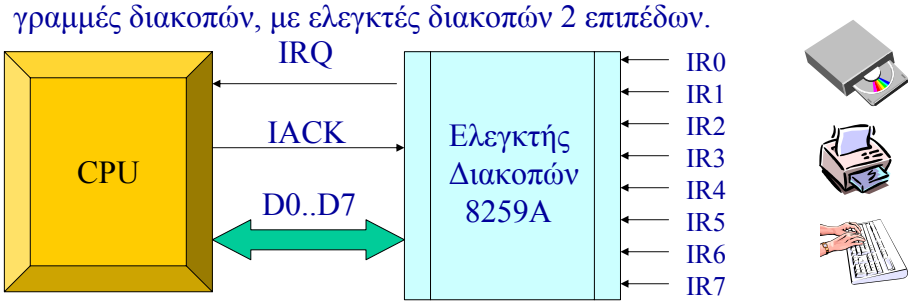
- Οι τρόποι 2 και 3 ανήκουν στη μέθοδο επικοινωνίας με σημαίες (flags).

Τρόποι Επικοινωνίας Μ/Ε και Π.Σ. 2

4. Τρόπος διακοπής (interrupt mode) : Η Π.Σ. ειδοποιεί μέσω της γραμμής IRQ ότι επιθυμεί επικοινωνία. Ο Μ/Ε ολοκληρώνει την τρέχουσα εντολή, διακόπτει το πρόγραμμα και σώζει στο stack την κατάστασή του. Ο Μ/Ε στέλνει το σήμα IACK και διακλαδίζεται στην ρουτίνα επικοινωνίας με την Π.Σ. Όταν τελειώσει η επικοινωνία φορτώνεται η κατάσταση του Μ/Ε από το stack και συνεχίζει το πρόγραμμα.
5. Ο τρόπος DMA (Direct Memory Access mode) : Η πληροφορία μεταφέρεται από την Π.Σ. απευθείας στη μνήμη χωρίς να απασχολείται ο Μ/Ε. Η Π.Σ. ζητά την παραχώρηση AB+DB+R/W+VMA από τον Μ/Ε στέλνοντας το σήμα BR (Bus Request). Ο Μ/Ε παραχωρεί τους διαύλους στέλνοντας το σήμα BG (Bus Granted) και συνεχίζει την εκτέλεση εντολών από την cache. Η Π.Σ. απαντά με BGACK και αναλαμβάνει την μεταφορά δεδομένων προς/από τη μνήμη. Όταν τελειώσει η μεταφορά, ο Μ/Ε ειδοποιείται και αναλαμβάνει πάλι τον έλεγχο των διαύλων.

Χειρισμός Διακοπών - Interrupts

- Ο Ελεγκτής Διακοπών 8259A δέχεται έως και 8 σήματα διακοπών IR0..IR7 από 8 διαφορετικές συσκευές Εισόδου/Εξόδου. Όταν συμβεί μία διακοπή, ενεργοποιεί το σήμα IRQ προς την CPU, η οποία διακόπτει την ροή του προγράμματος και απαντάει με το σήμα IACK. Ο 8259A τοποθετεί στο DB τον αριθμό της διακοπής (0..7), που διαβάζεται από την CPU για να καθοριστεί η ρουτίνα χειρισμού της διακοπής.
- Μπορούν να συνδεθούν έως και 8 chip 8259A σε ένα δίνοντας 64 γραμμές διακοπών, με ελεγκτές διακοπών 2 επιπέδων.



Η Μνήμη

- Το βασικότερο τμήμα ενός Η/Υ μετά τον επεξεργαστή είναι η μνήμη.
- Η μνήμη εμφανίζεται σε πολλές μορφές και χρησιμοποιείται για :

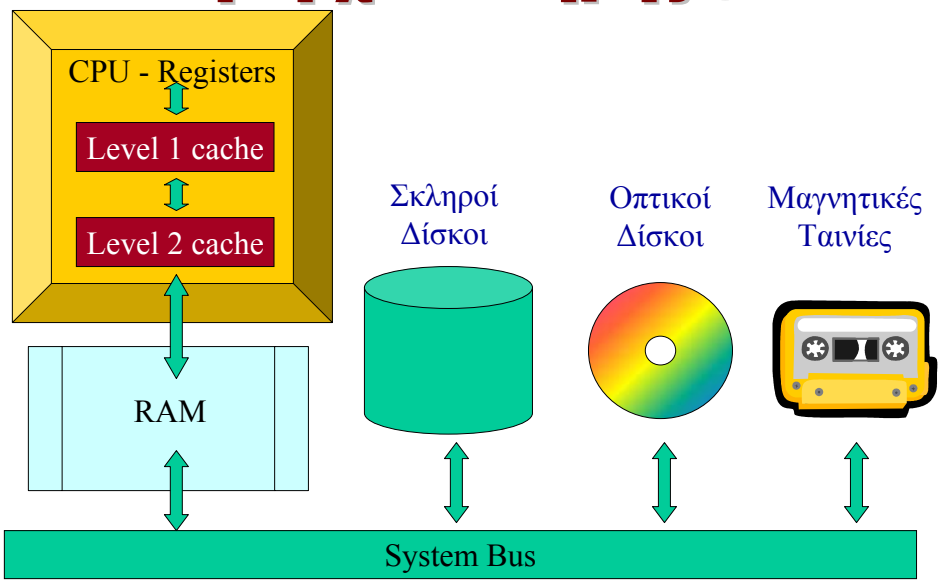
1. Αποθήκευση του εκτελέσιμου κώδικα του Λ.Σ.
2. Αποθήκευση του εκτελέσιμου κώδικα των προγραμμάτων των χρηστών.
3. Αποθήκευση Δεδομένων του Λ.Σ. (πίνακες διεργασιών, πίνακες του συστήματος αρχείων, μεταβλητές συστήματος, κ.λ.π.)
4. Αποθήκευση δεδομένων των προγραμμάτων (Data segment).
5. Επικοινωνία με Π.Σ. (απεικόνιση καταχωρητών των ελεγκτών Π.Σ. σε διευθύνσεις μνήμης, χρήση buffers για μεταφορά δεδομένων, κ.λ.π.)
6. Αποθήκευση παραμέτρων του υλικού και του λογισμικού (CMOS, παράμετροι BIOS, ημερομηνία και ώρα συστήματος κ.λ.π.)
7. Ως προέκταση των καταχωρητών του επεξεργαστή για εκτέλεση εντολών (στοίβα – stack).
8. Μόνιμη αποθήκευση Λ.Σ., προγραμμάτων και δεδομένων καθώς και για αντίγραφα ασφαλείας των αρχείων.

Ιεραρχία Μνήμης

Ιεραρχία Μνήμης 2

Είδος Μνήμης	Μέγεθος	Ταχύτητα
Καταχωρητές	10^2 (bytes)	~3 GHz (0.3 nsec)
Level 1 cache	10^3 (Kbytes)	3 GHz (0.3 nsec)
Level 2 cache	10^4 – 10^6 (100s of Kbytes)	1 GHz (1 nsec)
RAM	10^7 – 10^9 (Mbytes or 100s of Mbytes)	800 MHz (1,2 nsec)
Μαγνητικοί δίσκοι	10^{10} – 10^{11} (Gbytes or 100s of Gbytes)	100 Mb/sec (10 nsec) access 10 msec
Οπτικοί δίσκοι	10^{10} (Gbytes)	33 Mb/sec (30 nsec) access 30 msec
Μαγνητικές ταινίες	10^{12} (Tbytes)	10 Mb/sec (100 nsec) access ~ ∞

Ιεραρχία Μνήμης 3



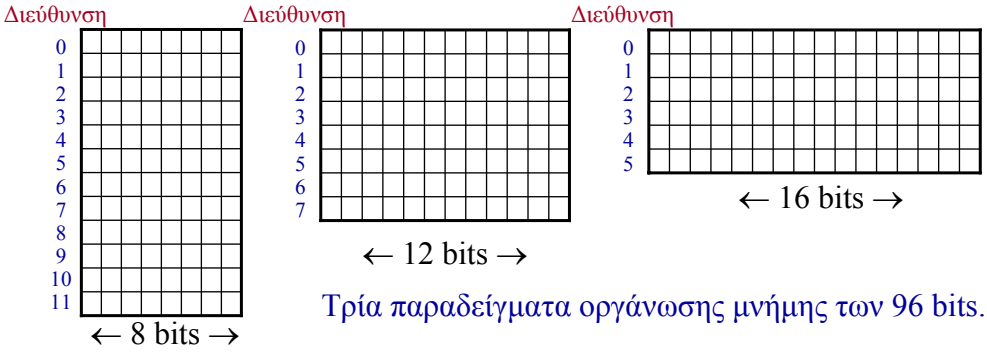
Είδη Μνήμης

- Οι σύγχρονοι Η/Υ χρησιμοποιούν πολλά είδη μνήμης :

1. Μνήμες RAM (Random Access Memory, καλύτερα RWM – Read-Write Memory). Στατική RAM (Static RAM) που υλοποιείται με δισταθή κυκλώματα (flip-flop). Δυναμική RAM (dynamic RAM) που υλοποιείται με τρανζίστορ/πυκνωτή. Volatile Memory (Πτητική Μνήμη) χάνεται με την διακοπή της τάσης. Χρησιμοποιούνται ως κύρια μνήμη, ως μνήμες cache και για διατήρηση δεδομένων του BIOS (CMOS).
2. Μνήμες ROM (Read Only Memory) μνήμες μόνο ανάγνωσης. Υλοποιούνται με φωτογραφικές ή ηλεκτρικές μεθόδους και δεν μπορούν να σβηστούν ή να τροποποιηθούν. Non-Volatile Memory (Μη-Πτητική Μνήμη) δεν χάνεται με την διακοπή της τάσης. Χρησιμοποιούνται για μόνιμη αποθήκευση ρουτινών I/O (BIOS), διαγνωστικών προγραμμάτων, λειτουργικών συστημάτων, γλωσσών προγραμματισμού, ως πίνακες αντιστοίχισης (lookup tables), για σετ χαρακτήρων, κ.λ.π.
3. Μνήμες μαγνητικής και οπτικής αποθήκευσης. Δισκέτες, Σκληροί δίσκοι, CD, DVD, Μαγνητικές ταινίες (Magnetic Tapes).

Οργάνωση Μνήμης

- Βασική μονάδα αποθήκευσης πληροφορίας είναι το 1 bit.
- Η μνήμη όμως είναι οργανωμένη σε ομάδες από bit. Κάθε τέτοια ομάδα ονομάζεται κελί μνήμης (memory cell) ή θέση μνήμης (memory location). Ο αριθμός bits κάθε κελιού εξαρτάται από την σχεδίαση του συγκεκριμένου Η/Υ.
- Κάθε θέση μνήμης προσδιορίζεται από έναν αριθμό που αποτελεί την διεύθυνση μνήμης (memory address).



Τρία παραδείγματα οργάνωσης μνήμης των 96 bits.

Οργάνωση Μνήμης 2

- Στους σύγχρονους Η/Υ έχει καθιερωθεί το κελί των 8 bits που ονομάζεται και byte.
- Τα bytes ομαδοποιούνται σε λέξεις (words). Ένας 16-μπιτος Η/Υ έχει καταχωρητές των 16 bit και χειρίζεται λέξεις των 16 bit με 2 byte/λέξη. Ένας 64-μπιτος Η/Υ έχει καταχωρητές των 64 bit και χειρίζεται λέξεις των 64 bit με 8 byte/λέξη.
- Το μέγιστο μέγεθος προσπελάσιμης μνήμης εξαρτάται από το εύρος του Διαύλου Διευθύνσεων (Address Bus) του επεξεργαστή και είναι 2^N, όπου N ο αριθμός γραμμών του Διαύλου Διευθύνσεων.
- Ο Μ/Ε 8088 έχει Address Bus των 20 bit και επομένως μπορεί να προσπελάσει 2^{20} = 1.048.576 διαφορετικές διευθύνσεις μνήμης.

Μεγέθη μνήμης ανά επεξεργαστή

Επεξεργαστής	Εύρος Διαύλου Διευθύνσεων	Μέγιστη Μνήμη RAM
6502	16	65536 bytes
Zilog Z80	16	65536 bytes
Intel 8088, 8086	20	1 MB
Intel 80286, 80386SX	24	16 MB
Intel 80386DX, 80486, AMD 5x86, Cyrix 5x86, Pentium, AMD K5, K6	32	4 GB
Pentium Pro, Pentium II, Pentium III, Pentium 4	36	64 GB

Διάταξη των bytes στην μνήμη

- Τα byte μίας λέξης (π.χ. των 16 bits = 2 bytes) τοποθετούνται στην μνήμη είτε με πρώτο το πιό σημαντικό (MSB) και μετά το λιγότερο σημαντικό (LSB) είτε ανάποδα.
- Η τοποθέτηση δεν έχει καμία ουσιαστική σημασία για την λειτουργία του Η/Υ, παρά μόνο για την επικοινωνία διαφορετικών συστημάτων.
- Οι Η/Υ SPARC της εταιρίας SUN, καθώς και οι mainframes της IBM χρησιμοποιούν την πρώτη μέθοδο (το MSB byte είναι στην μικρότερη διεύθυνση μνήμης και το LSB στην μεγαλύτερη). Η μέθοδος αυτή ονομάζεται μέθοδος του Μεγάλου Άκρου (Big Endian).
- Η οικογένεια Η/Υ με επεξεργαστές Intel χρησιμοποιεί την ανάποδη μέθοδο που ονομάζεται μέθοδος του Μικρού Άκρου (Little Endian). Την ίδια μέθοδο ακολουθεί και ο 8088.
- Οι υπολογιστές PowerPC της IBM ονομάζονται Bi-Endian επειδή μπορούν να εργαστούν και με τα δύο συστήματα.

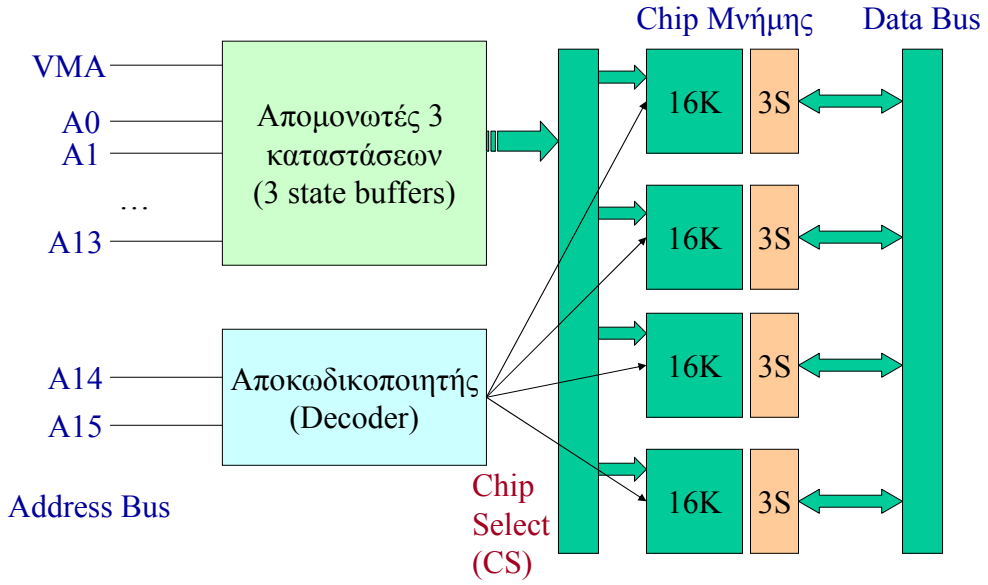
Περιεχόμενα των λέξεων μνήμης

- Μία λέξη μνήμης (word) μπορεί να περιέχει τα εξής δεδομένα :

1. Δυαδικούς αριθμούς : για παράδειγμα σε ένα Η/Υ με λέξεις των 16 bits (=2bytes) ο αριθμός 44872_{10} αποθηκεύεται σε 16 bits ως $AF48_{16}$ ή $10101111 \mid 01001000_2$
2. Μέρος αριθμητικών δεδομένων : για παράδειγμα η λέξη AF48 θα μπορούσε να αποτελεί το LSB τμήμα του 32μπιτου αριθμού $14BCAF48_{16}$ που είναι ο $347.909.960_{10}$. Θα μπορούσε επίσης να αποτελεί τμήμα (π.χ. mantissa) ενός αριθμού κινητής υποδιαστολής.
3. Κώδικα δεδομένων : τα bits της λέξης ερμηνεύονται με την βοήθεια κάποιου κώδικα ώστε να αναπαραστήσουν μή δυαδικά δεδομένα. Για παράδειγμα οι αριθμοί του κώδικα ASCII αναπαριστούν χαρακτήρες, ή τριάδες bytes αναπαριστούν RGB χρώματα σε μία εικόνα Bitmap.
4. Εντολές γλώσσας μηχανής : που απαρτίζουν τα προγράμματα και αποκωδικοποιούνται από την CPU ώστε να υλοποιηθούν συγκεκριμένες ενέργειες.

- Διαβάζοντας το περιεχόμενο μίας θέσης μνήμης είναι αδύνατο να καταλάβουμε τι είδους δεδομένα αναπαριστά.

Τα Chip Μνήμης



Ακροδέκτες των Chip Μνήμης

- Ένα chip μνήμης είναι ένα ολοκληρωμένο κύκλωμα που επικοινωνεί με τον Η/Υ μέσω τριών ομάδων ακροδεκτών (σημάτων) :

1. Ακροδέκτες Διεύθυνσης (A0, A1, ..., An) : συνδέονται στον δίαυλο διευθύνσεων και σε αυτά σχηματίζεται η διεύθυνση μνήμης που θέλει να προσπελάσει ο Μ/Ε. Εσωτερικά συνδέονται σε αποκωδικοποιητές (Decoders) που ανάλογα με την διεύθυνση επιλέγουν συγκεκριμένο κελί μνήμης.
2. Ακροδέκτες Δεδομένων (D0, D1, …, Dκ) : συνδέονται στον δίαυλο δεδομένων (Data Bus) και σε αυτά σχηματίζεται η λέξη που θα εγγραφεί, ή η λέξη που διαβάζεται από μία θέση μνήμης. Κάθε ακροδέκτης συνδέεται στον δίαυλο δεδομένων μέσω Απομονωτή Τριών Καταστάσεων (Three State Buffer) έτσι ώστε η έξοδος των chip μνήμης που δεν έχουν επιλεγεί να μην επηρεάζει τον δίαυλο δεδομένων.

   (Εσωτερικά τα chip μνήμης χρησιμοποιούν Πολυπλέκτες (Multiplexers) για ανάγνωση της μνήμης και Αποπολυπλέκτες (Demultiplexers) για εγγραφή μνήμης.)

Ακροδέκτες των Chip Μνήμης 2

3. Ακροδέκτες ελέγχου : μεταφέρουν σήματα ελέγχου από και προς τον ελεγκτή της μνήμης ο οποίος δέχεται και στέλνει σήματα ελέγχου προς τον Μ/Ε μέσω του Διαύλου Ελέγχου (Control Bus) :

- CS (Chip Select) : Σήμα επιλογής του chip. Συνήθως όταν το σήμα αυτό προς ένα chip μνήμης είναι σε χαμηλή στάθμη τότε το chip είναι ενεργοποιημένο και μπορεί να εκτελέσει ανάγνωση ή εγγραφή μνήμης.
- WE (Write Enable) : Σήμα επιλογής εγγραφής. Όταν το σήμα αυτό είναι σε χαμηλή στάθμη τότε εκτελείται εγγραφή μνήμης, ενώ όταν είναι σε υψηλή στάθμη τότε τα δεδομένα της μνήμης δεν μπορούν να αλλάξουν.
- RE (Read Enable) : Σήμα επιλογής ανάγνωσης. Όταν το σήμα αυτό είναι σε χαμηλή στάθμη τότε εκτελείται ανάγνωση μνήμης (έξοδος δεδομένων στο Data Bus), ενώ όταν είναι σε υψηλή στάθμη τότε το chip απομονώνεται από το Data Bus (μεγάλη αντίσταση εξόδου).
- RAS (Row Address Strobe) και CAS (Column Address Strobe). Στα chip που είναι οργανωμένα σαν πίνακες N x M επιλέγουν την γραμμή (RAS) ή την στήλη (CAS) που προσδιορίζουν μία θέση μνήμης.

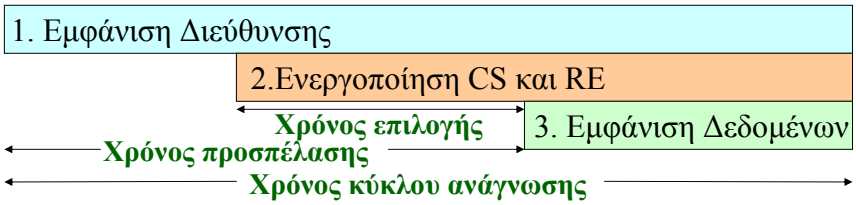
Ανάγνωση μνήμης

- Για την ανάγνωση και εγγραφή μνήμης πρέπει τα σήματα στους διαύλους διευθύνσεων, δεδομένων και ελέγχου να πάρουν κατάλληλες τιμές σε κατάλληλα χρονικά διαστήματα που εξαρτώνται από την ταχύτητα απόκρισης της μνήμης.
- Η ανάγνωση από ένα chip μνήμης γίνεται σε 4 βήματα :

1. Στους ακροδέκτες διευθύνσεων εμφανίζεται η διεύθυνση που θα διαβαστεί. Το LSB τμήμα της διεύθυνσης (π.χ. A0,..A13) εμφανίζεται σε όλα τα chip μνήμης. Το MSB τμήμα της διεύθυνσης (A14,A15) εισάγεται στον αποκωδικοποιητή για επιλογή chip.
2. Ενεργοποιείται συγκεκριμένο chip μνήμης με το σήμα Chip Select (CS) που παράγεται σαν έξοδος από τον αποκωδικοποιητή των MSB γραμμών διεύθυνσης.
3. Ενεργοποιείται το σήμα Read Enable (RE) ώστε να εμφανιστούν τα δεδομένα στους ακροδέκτες δεδομένων (D0,…,Dκ) του chip.
4. Τα δεδομένα μεταφέρονται στον Δίαυλο Δεδομένων (Data Bus).

Ανάγνωση μνήμης 2

- Στην διαδικασία ανάγνωσης μνήμης ορίζονται τρεις χρόνοι :
- Χρόνος Προσπέλασης : Είναι το χρονικό διάστημα που μεσολαβεί από τη στιγμή που θα εμφανιστεί η διεύθυνση μέχρι τα δεδομένα να εμφανιστούν στους ακροδέκτες δεδομένων (D0,…,Dκ).
- Χρόνος Επιλογής : Είναι το χρονικό διάστημα που μεσολαβεί από την ενεργοποίηση του chip με το σήμα CS έως ότου εμφανιστούν τα δεδομένα στους ακροδέκτες δεδομένων.
- Χρόνος κύκλου ανάγνωσης : Ο ελάχιστος χρόνος ανάμεσα σε δύο διαδοχικές αναγνώσεις μνήμης. Χαρακτηρίζει την ταχύτητα της μνήμης. Π.χ. μνήμη με κύκλο ανάγνωσης 10 nsec μπορεί να εκτελέσει 100 εκατομμύρια αναγνώσεις το δευτερόλεπτο.



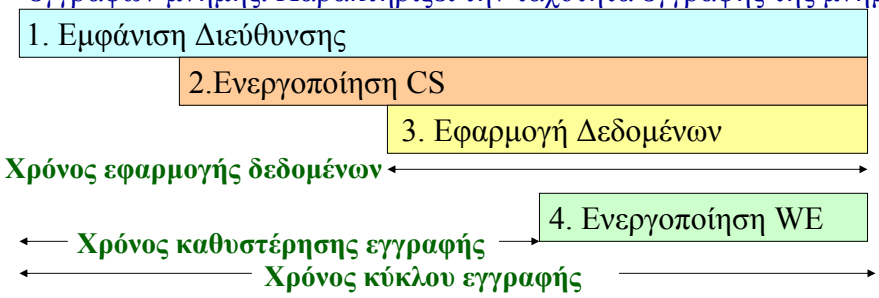
Εγγραφή μνήμης

- Η εγγραφή σε ένα chip μνήμης γίνεται σε 5 βήματα :

1. Στους ακροδέκτες διευθύνσεων εμφανίζεται η διεύθυνση που θα γίνει η εγγραφή. Το LSB τμήμα της διεύθυνσης (π.χ. A0,..A13) εμφανίζεται σε όλα τα chip μνήμης. Το MSB τμήμα της διεύθυνσης (A14,A15) εισάγεται στον αποκωδικοποιητή για επιλογή chip.
2. Ενεργοποιείται συγκεκριμένο chip μνήμης με το σήμα Chip Select (CS) που παράγεται σαν έξοδος από τον αποκωδικοποιητή των MSB γραμμών διεύθυνσης.
3. Στους ακροδέκτες δεδομένων εμφανίζονται τα δεδομένα που θα γραφτούν (μέσω του Data Bus). Οι ακροδέκτες (D0,…,Dκ) είναι ακόμα απομονωμένοι.
4. Ενεργοποιείται το σήμα Write Enable (WE) ώστε να μεταφερθούν τα δεδομένα από τους ακροδέκτες δεδομένων (D0,…,Dκ) στη μνήμη.
5. Τα δεδομένα εγγράφονται στη μνήμη και ολοκληρώνεται η διαδικασία.

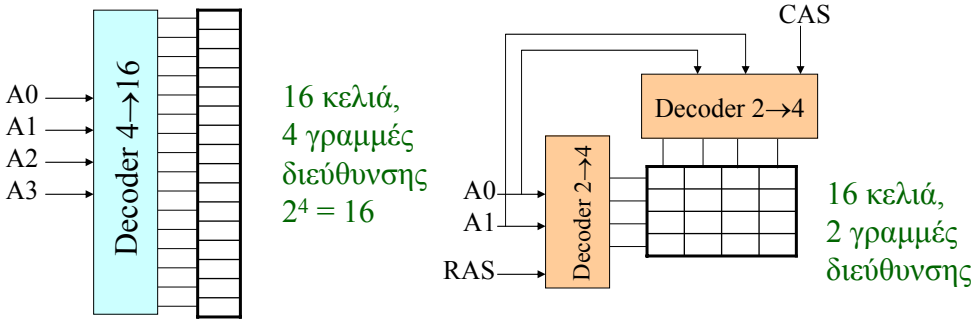
Εγγραφή μνήμης 2

- Στην διαδικασία εγγραφής μνήμης ορίζονται τρεις χρόνοι :
- Χρόνος Καθυστέρησης Εγγραφής : Είναι το χρονικό διάστημα που μεσολαβεί από τη στιγμή που θα εμφανιστεί η διεύθυνση μέχρι την στιγμή που θα ενεργοποιηθεί το σήμα WE (Write Enable)
- Χρόνος Εφαρμογής Δεδομένων : Είναι το χρονικό διάστημα που χρειάζεται να παραμείνουν τα δεδομένα στους ακροδέκτες (D0,..,Dκ) για να επιτευχθεί η εγγραφή.
- Χρόνος κύκλου εγγραφής : Ο ελάχιστος χρόνος μεταξύ δύο διαδοχικών εγγραφών μνήμης. Χαρακτηρίζει την ταχύτητα εγγραφής της μνήμης.



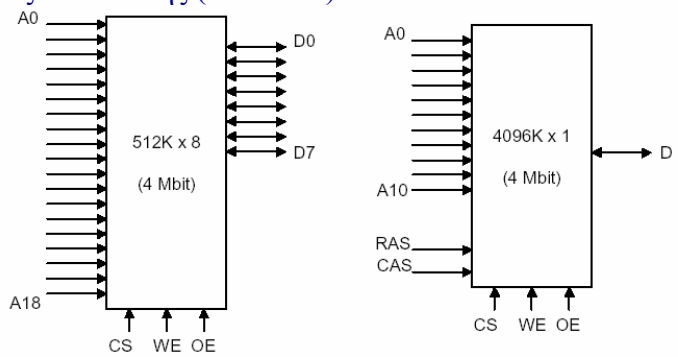
Οργάνωση μνήμης

- Τα chip μνήμης κατασκευάζονται ως πίνακες N x M bits, που διευθυνσιοδοτούνται κατά γραμμή και στήλη.
- Με τη μέθοδο αυτή μειώνεται ο αριθμός των γραμμών διευθύνσεων που χρειάζονται για την επιλογή των κελιών. Όταν ενεργοποιείται το σήμα RAS, τότε οι γραμμές διεύθυνσης προσδιορίζουν τη γραμμή, ενώ όταν ενεργοποιείται το CAS προσδιορίζουν τη στήλη. Χρειάζονται όμως δύο κύκλοι για προσπέλαση μίας θέσης μνήμης.



Οργάνωση μνήμης 2

- Για ένα chip μνήμης συγκεκριμένης χωρητικότητας π.χ. 4Mbit υπάρχουν πολλοί συνδυασμοί N x M που μπορούν να χρησιμοποιηθούν.
- Π.χ. 4Mbit = 512Kbit X 8 , 4096Kbit X 1 , 1024Kbit X 4, κ.λ.π. Το chip 512K X 8 χρειάζεται 19 γραμμές διεύθυνσης (2^{19}=512). Το chip 4096K X 1 μπορεί να υλοποιηθεί ως 2048 X 2048 άρα χρειάζεται 11 γραμμές διεύθυνσης (2^{11}=2048).



Οργάνωση μνήμης 3

- Τα παλαιότερα chip μνήμης ήταν οργανωμένα με τη μορφή 4Mbits = 4096K x 1.
- Όμως αν για παράδειγμα θέλουμε να υλοποιήσουμε μνήμες των 32 θα πρέπει να συνδέσουμε 32 chip παράλληλα καθώς κάθε chip μας δίνει στην έξοδο 1 bit.
- Τα νεότερα chip μνήμης ακολουθούν τη μορφή 4Mbits = 512K x 8. Με τέτοια chip μία μνήμη των 32 bits υλοποιείται με 4 chip.
- Σύγχρονες SDRAM DDR II 800 αποτελούνται από chip που έχουν πυκνότητα 512 Mbits σε διάταξη 64M X 8 ή 32M X 16. Για να σχηματίσουμε μία μνήμη του 1 Gigabyte χρειαζόμαστε 16 τέτοια chip.

Αποκωδικοποίηση Διευθύνσεων

- Σε έναν Η/Υ υπάρχουν πολλά chip μνήμης. Κάποιες από αυτές είναι RAM και κάποιες ROM. Για να επιλέγεται κάθε φορά σε ποιο chip θα γίνει ανάγνωση ή εγγραφή χρησιμοποιούνται αποκωδικοποιητές με N εισόδους και 2^N εξόδους.
- Η κάθε έξοδος του αποκωδικοποιητή συνδέεται στον ακροδέκτη CS του κάθε chip μνήμης.
- Είσοδος του αποκωδικοποιητή είναι συνήθως κάποιες από τις γραμμές διεύθυνσης. Έτσι η κάθε διεύθυνση μνήμης περιέχει και την πληροφορία σε ποιο chip μνήμης είναι αποθηκευμένη.
- Παράδειγμα : σε ένα σύστημα με address bus των 16 bits μπορούμε να έχουμε 64Kbytes μνήμη. Έστω ότι θέλουμε να τοποθετήσουμε 16KB μνήμης ROM και 48 KB μνήμης RAM και διαθέτουμε γενικά chip των 8 KB.
- Θα χρειαστούμε 2 chip για τη ROM και 6 chip για τη RAM. Άρα θα χρειαστεί και ένας αποκωδικοποιητής 3 σε 8 για επιλογή ενός από τα 8 chip.

Αποκωδικοποίηση Διευθύνσεων 2

- Έτσι κάθε διεύθυνση των 16 bits χωρίζεται στα πρώτα 13 bits που προσδιορίζουν μία θέση μνήμης μέσα στο chip των 8 KB (2^{13}=8192), και τα υπόλοιπα 3 bits προσδιορίζουν μέσω του αποκωδικοποιητή ποιο chip μνήμης θα ενεργοποιηθεί.

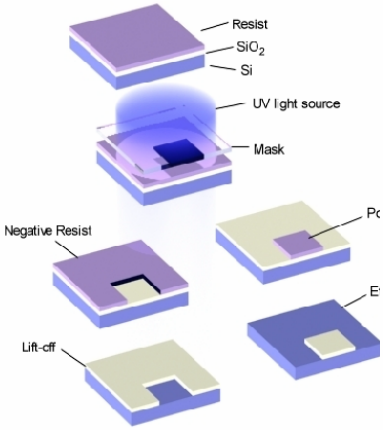
Διευθύνσεις HEX	Διευθύνσεις Dec	A15	A14	A13	CS	Chip
0000 – 1FFF	0 – 8191	0	0	0	D0	RAM1
2000 – 3FFF	8192 – 16383	0	0	1	D1	ROM1
4000 – 5FFF	16384 – 24575	0	1	0	D2	ROM2
6000 – 7FFF	24576 – 32767	0	1	1	D3	RAM2
8000 – 9FFF	32768 – 40959	1	0	0	D4	RAM3
A000 – BFFF	40960 – 49151	1	0	1	D5	RAM4
C000 – DFFF	49152 – 57343	1	1	0	D6	RAM5
E000 - FFFF	57344 – 65535	1	1	1	D7	RAM6

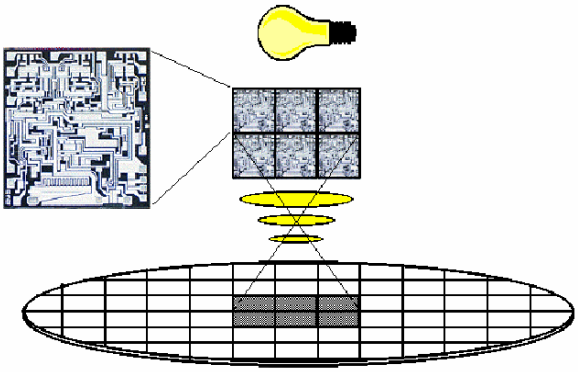
Οι Μνήμες ROM

- Σε πολλές εφαρμογές που χρησιμοποιούνται μικροεπεξεργαστές (Η/Υ, οικιακές συσκευές, αυτοκίνητα, αυτοματισμοί) το πρόγραμμα ή και τα δεδομένα του θα πρέπει να βρίσκονται σε μνήμες που δεν χάνονται όταν διακόπτεται η τροφοδοσία (Non-Volatile memory).
- Για τον σκοπό αυτό χρησιμοποιούνται οι μνήμες τύπου ROM.
- Οι μνήμες ROM (Read Only Memory): παράγονται με φωτολιθογραφικές μεθόδους με τις οποίες εγγράφονται μόνιμα τα bits της μνήμης πάνω σε υπόστρωμα πυριτίου (silicon wafers). Η μνήμη διατάσσεται σε πίνακα MxN και σε κάθε κόμβο κατασκευάζεται ένα τρανζίστορ.
- Δεν είναι δυνατόν να μεταβληθούν. Παραμένουν αναλλοίωτες για πρακτικά απεριόριστο χρόνο.

Η Φωτολιθογραφική Μέθοδος

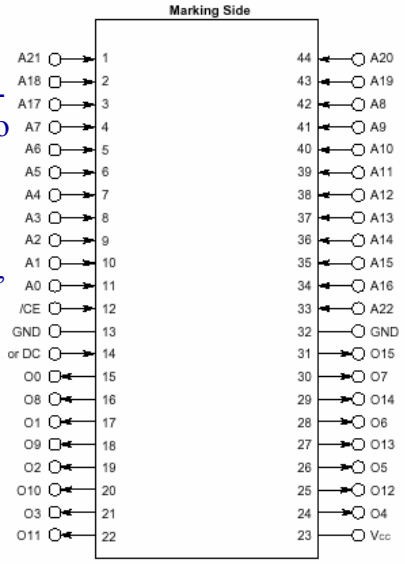
- Κυκλικές πλάκες πυριτίου (wafers) καλύπτονται από φωτοπολυμεριζόμενο υλικό και φωτίζονται μέσω μίας μάσκας από UV φώς. Στα ανοίγματα της μάσκας εισάγονται προσμίξεις διαμορφώνοντας τρανζίστορς.





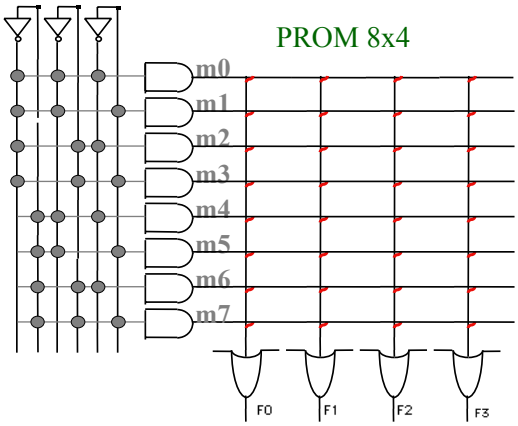
Οι ακροδέκτες των μνημών ROM

- Οι ακροδέκτες των chip ROM περιλαμβάνουν :
- Έναν αριθμό από ακροδέκτες διευθύνσεων που είναι $\log_2 N$ σε αριθμό (όπου N το πλήθος των διευθύνσεων).
- Έναν αριθμό από ακροδέκτες Data Out ανάλογα με το μέγεθος της λέξης.
- Ακροδέκτες ελέγχου : CE (Chip Enable), RE (Read Enable), Vcc (Τάση), GND (Γείωση).
- Παράδειγμα ROM 128 Mbit σε διάταξη 8M x 16 bits
- Γραμμές διευθύνσεων 23, A0..A22, (2^{23}=8M)
- Γραμμές δεδομένων 16 (λέξεις των 16 bits).



Οι Μνήμες PROM

- Μνήμες PROM (Programmable ROM) : Κατασκευάζονται με βάση γενικευμένα chip που περιέχουν μία εύτηκτη ασφάλεια για κάθε bit μνήμης. Μοιάζουν με τα chip PLA (Programmable Logic Arrays) καθώς περιέχουν πύλες NOT, AND και OR πλήρως διασυνδεδεμένες με ασφάλειες. Προγραμματίζονται ηλεκτρικά με 12..24 Volt με ειδικούς PROM-Programmers.
- Κατά τον προγραμματισμό τους καίγονται επιλεγμένες ασφάλειες. Δεν μεταβάλλονται και παρέχουν ευελιξία στην κατασκευή.



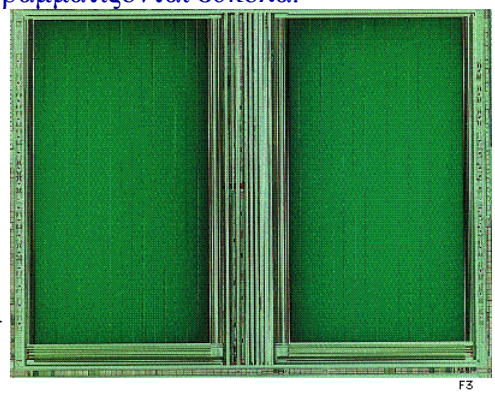
Οι Μνήμες EPROM

- Μνήμες EPROM (Erasable Programmable ROM) : Προγραμματίζονται ηλεκτρικά με ειδικούς EPROM-Programmers. Το chip είναι εκτεθειμένο μέσω γυάλινης επιφάνειας. Όταν εκτεθεί σε υπεριώδη ακτινοβολία διαγράφεται και μπορεί να επαναπρογραμματιστεί. Η διαγραφή γίνεται σε ειδικές συσκευές (EPROM-Erasers) 10^2~10^4 φορές.
- Κατασκευάζονται επίσης με διάταξη πίνακα όπου σε κάθε κόμβο υπάρχει ένα τρανζίστορ που μπορεί ηλεκτρικά να προγραμματιστεί σε μόνιμη κατάσταση OFF. Όταν τα τρανζίστορ εκτίθενται σε UV φώς επανέρχονται σε ON/OFF κατάσταση.

Οι Μνήμες EEPROM

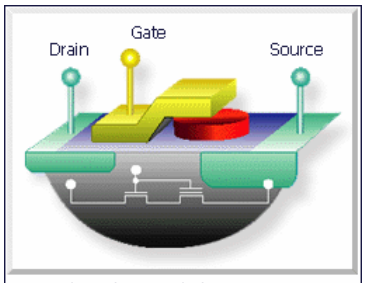
- Μνήμες EEPROM (Electronically Erasable Programmable ROM) : Προγραμματίζονται ηλεκτρικά είτε με ειδικούς EEPROM-Programmers είτε ακόμα και πάνω στο κύκλωμα που είναι συνδεδεμένες. Μπορούν να διαγραφούν ηλεκτρικά με κατάλληλα σήματα.
- Είναι πιό αργές, έχουν μικρότερη χωρητικότητα και είναι πιό ακριβές από τις EPROM αλλά επαναπρογραμματίζονται εύκολα.
- Μία εφαρμογή τους είναι για το BIOS των Η/Υ που μπορεί σήμερα να αναβαθμίζεται. Η EEPROM του BIOS διαγράφεται και επαναπρογραμματίζεται με κατάλληλες εφαρμογές, χωρίς πρόσθετες συσκευές.

Toshiba 256 Mbit EEPROM →

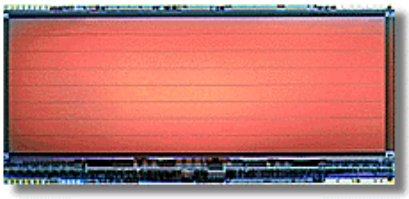


Οι Μνήμες Flash-EEPROM

- Αποτελούν μία ειδική κατηγορία μνημών EEPROM που μπορούν να προγραμματίζονται κατά blocks και όχι bit προς bit.
- Έχουν εφαρμογή στα σύγχρονα BIOS των υπολογιστών και σαν κάρτες μνήμης για διάφορες συσκευές (Ψηφιακές φωτογραφικές μηχανές, MP3 players, ψηφιακή ηχογράφηση κ.λ.π.).
- Οι πρώτες μνήμες Flash φθείρονταν με την χρήση και είχαν χρόνο ζωής 10^4 διαγραφές. Οι σύγχρονες όμως έχουν απεριόριστη διάρκεια.



The Split Gate Flash EEPROM CELL
Unique to Sanyo



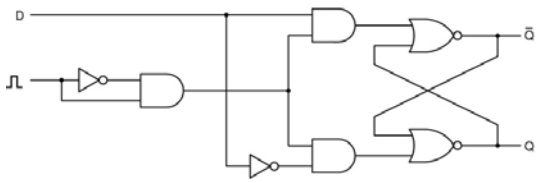
F3

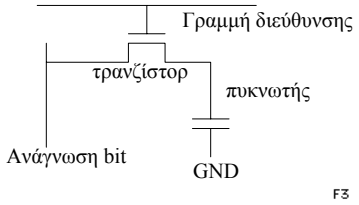
Είδη μνήμης ROM

Τύπος	Κατηγορία	Διαγραφή	Μεταβολή	Πτητική	Χρήση
ROM	Μόνο ανάγνωση	Όχι	Όχι	Όχι	Καταναλωτικές συσκευές, ειδικοί Η//Υ
PROM	Μόνο ανάγνωση	Όχι	Bit	Όχι	Ψηφιακές συσκευές μικρής παραγωγής
EPROM	Κυρίως ανάγνωση	Υπεριώδης	Bit	Όχι	Πρωτότυπες συσκευές
EEPROM	Κυρίως ανάγνωση	Ηλεκτρική	Bit	Όχι	BIOS Η/Υ
FLASH	Ανάγνωση / Εγγραφή	Ηλεκτρική	Block	Όχι	BIOS και καταναλωτικές συσκευές

Μνήμες RAM

- Οι μνήμες RAM κυκλοφορούν σε δύο τύπους :
- Στατικές RAM (Static RAM - SRAM) : κατασκευάζονται με δισταθή κυκλώματα flip-flop. Απαιτούν περίπου 6 τρανζίστορ ανά bit. Διατηρούν τα δεδομένα τους όσο υπάρχει τάση. Είναι γρήγορες (0.3 nsec) αλλά και ακριβές. Χρησιμοποιούνται ως μνήμη cache και για διατήρηση δεδομένων του BIOS των Η/Υ με μπαταρία (CMOS).
- Δυναμικές RAM (Dynamic RAM – DRAM) : κάθε bit υλοποιείται με ένα τρανζίστορ και ένα πυκνωτή. Το bit 0 ή 1αποθηκεύεται ως φορτίο στον πυκνωτή. Επειδή οι πυκνωτές εκφορτίζονται σταδιακά, χρειάζονται κυκλώματα ανανέωσης (refresh). Λόγω απλότητας μπορεί να επιτευχθεί μεγάλη πυκνότητα και γι' αυτό χρησιμοποιούνται σαν κύρια μνήμη στους Η/Υ. Είναι πιο αργές από τις SRAM (~ 3nsec).





Τύποι Δυναμικής RAM

- FPM-DRAM (Fast page Mode) 1987 : επιτρέπει ταχύτερη πρόσβαση στα δεδομένα εκμεταλλευόμενη την διάταξη πίνακα. Αν μετά από μία προσπέλαση η επόμενη αναφέρεται σε byte της ίδιας γραμμής, τότε απαιτείται μόνο ο προσδιορισμός στήλης.
- EDO-DRAM (Enhanced Data Out) 1995 : 10% με 15% ταχύτερη της FPM υλοποιώντας μία τεχνική παράλληλης διοχέτευσης. Όταν τα δεδομένα μίας θέσης εμφανίζονταν στο Data Bus, η μνήμη μπορούσε να καθορίσει την επόμενη διεύθυνση προσπέλασης.
- BEDO-DRAM (Burst-EDO) 1996 : Είχε την δυνατότητα να επεξεργάζεται 4 διευθύνσεις μνήμης ταυτόχρονα. Λειτουργούσε με εκρήξεις I/O και αδυνατούσε να συγχρονιστεί με διαύλους πάνω από 66 MHz.
- SDRAM (Synchronous DRAM) 1997 : χρησιμοποιούσε το ρολόι του FSB για συγχρονισμό. Έχει δυνατότητα μεταφοράς ολόκληρων μπλόκ και όχι byte προς byte. Χρησιμοποιείται και σήμερα ως PC66 (66 MHz), PC100 (100MHz), PC133 (133 MHz).

Τύποι Δυναμικής RAM 2

- Μνήμες DDR (Double Data Rate) : έχει διπλάσιο ρυθμό μεταφοράς δεδομένων από τις SDRAM. Εμφανίστηκε σε συχνότητες 266, 333, 400, 533, 667 και 800 MHz. Εκμεταλλεύεται και την άνοδο αλλά και την κάθοδο του παλμού συγχρονισμού για να πετυχαίνει τον διπλάσιο ρυθμό μεταφοράς δεδομένων.
- Μνήμες RDRAM (Rambus DRAM) : Επικοινωνεί με τον ελεγκτή μνήμης μέσω ειδικού διαύλου 16-bit (Direct Rambus Channel) που επιτρέπει μεγάλους ρυθμούς μεταφοράς δεδομένων. Υλοποιείται σε συχνότητες 400 και 800 MHz και επιτρέπει ρυθμούς διαμεταγωγής 6,4 GBps. Είναι αρκετά πιο ακριβή από την DDR.

DDR – SDRAM 133 MHz 256 MB RDRAM 800 MHz 256 MB

Ειδικοί Τύποι Δυναμικής Μνήμης

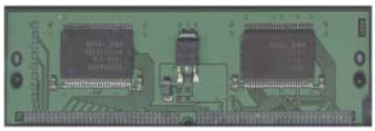
- Υπάρχουν και κάποιοι ειδικοί τύποι δυναμικής RAM που χρησιμοποιούνται κυρίως σε εφαρμογές γραφικών (κάρτες γραφικών) :
- VRAM (Video RAM) : Αποτελεί παραλλαγή της FPM-DRAM αλλά χρησιμοποιεί δύο ανεξάρτητα κανάλια ανάγνωσης/εγγραφής έτσι ώστε όταν απεικονίζονται τα δεδομένα (ανάγνωση) , να μπορεί ταυτόχρονα να ανανεώνεται με τις μεταβολές της εικόνας (εγγραφή).
- WRAM (Windows RAM) : χρησιμοποιεί παρόμοιες τεχνικές με τις VRAM αλλά υποστηρίζει και μνήμες EDO. Είναι έως και 50% ταχύτερη της VRAM και με μικρότερο κόστος κατά 20%.
- SGRAM (Synchronous Graphics Ram) : επέκταση της SDRAM με δυνατότητες μεταφοράς ολόκληρων μπλόκ από bytes, ελαττώνοντας τις προσπελάσεις και επιταχύνοντας τα γραφικά.
- Base Rambus ή Concurrent Rambus : είναι τεχνολογίας Rambus και χρησιμοποιούνται σε σταθμούς εργασίας ειδικευμένους στα γραφικά και σε παιχνιδομηχανές.

Συσκευασίες chip μνήμης

- Οι πρώτες μνήμες DRAM κυκλοφορούσαν σε συσκευασίες DIP (Dual Inline Package) σαν παραλληλόγραμμο chip με 2 σειρές ακροδέκτες με χωρητικότητες 1Kbit – 1MBit.
- Μετά εμφανίστηκαν συστοιχίες των 8 ή 16 chip σε μορφή SIMM (Single In-line Memory Module). Αρχικά είχαν 30 ακροδέκτες μεταφέροντας 1 byte = 8 bit σε κάθε παλμό του ρολογιού. Αργότερα εμφανίστηκαν με 72 ακροδέκτες και δυνατότητα μεταφοράς 4 byte = 32 bit ταυτόχρονα.
- Αργότερα εμφανίστηκαν τα DIMM (Dual In-line Memory Module) με 168 ακροδέκτες και δυνατότητα μεταφοράς 8 byte = 64 bit ταυτόχρονα (DDR II – 240 pins, 72 bit ταυτόχρονα).

DIP Memory 1Mbit

SIMM Memory 8Mbit



DIMM Memory 256Mbit

Συσκευασίες chip μνήμης 2

- Οι μνήμες Rambus εμφανίζονται σε συσκευασία RIMM (Rambus In-line Memory Module. Έχουν 184 ακροδέκτες και μεταφέρουν 2 bytes = 16 bits ταυτόχρονα λόγω του Direct Rambus Channel των 16 bits. Έχουν ψήκτρες αλουμινίου (Heat Spreaders) για καλύτερη απαγωγή της παραγόμενης θερμότητας λόγω της υψηλής συχνότητας λειτουργίας.
- Οι μνήμες Flash έρχονται σε συσκευασίες καρτών (Flash Cards) που διατηρούν τα δεδομένα τους και χωρίς τροφοδοσία και είναι μεταφέρσιμες. Έχουν μικρό μέγεθος και βάρος, υψηλή ταχύτητα, μεγάλη διάρκεια ζωής και χαμηλή κατανάλωση ενέργειας.

RDRAM 800 MHz 256 MB

Flash Card 512 MB

Συγκριτικός Πίνακας Ειδών RAM

Έτος Εμφάνισης	Τύπος RAM	Όριο Συχνότητας	Συσκευασία
1987	FPM	50 MHz	DIP
1995	EDO-BEDO	50 MHz	SIMM
1997	SDRAM PC66	66 MHz	DIMM
1998	SDRAM PC100	100 MHz	DIMM
1999	RDRAM	800 MHz	RIMM
1999-2000	SDRAM PC133	133 MHz	DIMM
2000	DDR 266	133(266) MHz	DIMM
2001	DDR 333	166(333) MHz	DIMM
2002	DDR 400	200(400) MHz	DIMM
2003	DDR II 400	200(400) MHz	DIMM240
2007	DDR III 1333	667(1333) MHz	DIMM240

Κώδικες Διόρθωσης Σφαλμάτων

- Οι μνήμες των Η/Υ (RAM, Floppy, HDD) αν και γενικά αξιόπιστες μπορούν να κάνουν σφάλματα λόγω μεταβολής τάσης, overclocking, θερμοκρασίας, αστοχίας του μαγνητικού υλικού κ.λ.π.
- Για την ανίχνευση και την διόρθωση τέτοιων σφαλμάτων, χρησιμοποιούνται Κώδικες Ανίχνευσης ή Διόρθωσης λαθών (Error Correcting Codes – ECC). Οι κώδικες αυτοί λειτουργούν με Πλεονασμό (Redundancy) δηλαδή εισάγουν πρόσθετα bit ελέγχου στα υπάρχοντα bit δεδομένων.
- Απόσταση Hamming d (Hamming distance) είναι ο αριθμός των bits που διαφέρουν δύο δυαδικές παραστάσεις π.χ. d(0001,0010)=2. Η απόσταση αυτή είναι σημαντική γιατί δηλώνει πόσα σφάλματα του 1 bit μπορούν να μας οδηγήσουν από την μία στην άλλη.
- Αν έχουμε λέξεις δεδομένων των m bit τότε οι δυνατοί συνδυασμοί είναι 2^m. Προσθέτοντας r bit ελέγχου σε κάθε τέτοια λέξη, το μήκος της γίνεται n=m+r και οι συνδυασμοί είναι 2^{m+r}. Οι κώδικες βασίζονται στο ότι μόνο 2^m από τους 2^{m+r} συνδυασμούς είναι αποδεκτοί (για κάθε συνδυασμό δεδομένων αντιστοιχεί συγκεκριμένος συνδυασμός bit ελέγχου ανάλογα με τον κώδικα).

Κώδικες Διόρθωσης Σφαλμάτων 2

- Αν ληφθεί συνδυασμός που δεν ανήκει στους 2^m αποδεκτούς τότε ανιχνεύεται σφάλμα και υπό προϋποθέσεις μπορεί και να διορθωθεί.
- Παράδειγμα για m=2, r=1 :

Αποδεκτοί Συνδυασμοί

Δεδομένα	Bit Ελέγχου
00	0
01	1
10	1
11	0

Αν ληφθεί ο συνδυασμός 00:1 αυτός δεν είναι αποδεκτός και συμπεραίνουμε ότι έχει συμβεί σφάλμα. Αν πρόκειται για σφάλμα του 1 bit μπορεί να προέκυψε είτε από το 00:0 (με σφάλμα στο control bit) είτε από το 01:1 (με σφάλμα στο 1ο bit δεδομένων) είτε από το 10:1 με σφάλμα στο 2ο bit δεδομένων.

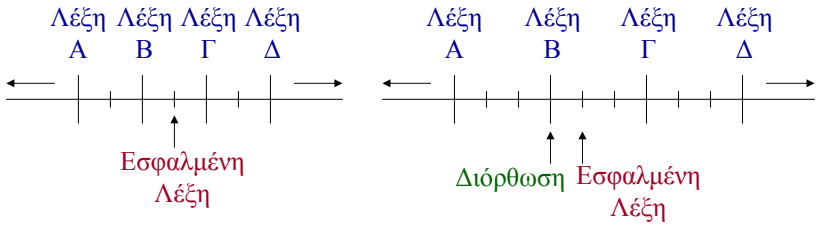
- Άρα συμπεραίνουμε ότι με αυτή την κωδικοποίηση μπορεί να γίνει ανίχνευση σφάλματος του 1ος bit. Δεν μπορεί όμως να γίνει διόρθωση του σφάλματος, ούτε και ανίχνευση σφάλματος των 2 bit (γιατί π.χ. το 00:0 μπορεί με 2 σφάλματα του 1ος bit να γίνει 10:1 που είναι αποδεκτός συνδυασμός.

Απόσταση Hamming του Κώδικα

- Για κάθε λέξη δεδομένων υπολογίζονται τα bit ελέγχου με τρόπο που εξαρτάται από τον συγκεκριμένο κώδικα. Με δεδομένους όλους τους αποδεκτούς συνδυασμούς μήκους m+r (data:control) η ελάχιστη απόσταση Hamming μεταξύ 2 οποιωνδήποτε συνδυασμών ονομάζεται Απόσταση Hamming του Κώδικα.
- Το πόσα σφάλματα του 1ος bit μπορεί να ανιχνεύει ο κάθε κώδικας και το αν είναι σε θέση να κάνει και διόρθωση εξαρτάται από την απόσταση hamming του κώδικα.
- Αν έχουμε έναν κώδικα με απόσταση Hamming 2 αυτό σημαίνει ότι δύο οποιοιδήποτε αποδεκτοί συνδυασμοί διαφέρουν κατά 2 bits. Άρα αν σε έναν αποδεκτό συνδυασμό συμβεί 1 σφάλμα του 1ος bit τότε θα προκύψει μη αποδεκτός συνδυασμός και θα ανιχνευθεί σφάλμα.
- Γενικά για την ανίχνευση d σφαλμάτων του 1ος bit χρειαζόμαστε έναν κώδικα με απόσταση Hamming d+1. Δεν υπάρχει περίπτωση d σφάλματα του 1ος bit να μετατρέψουν έναν αποδεκτό συνδυασμό σε έναν άλλο επίσης αποδεκτό.

Ανίχνευση και Διόρθωση σφαλμάτων

- Για την διόρθωση d σφαλμάτων του 1ος bit χρειάζεται ένας κώδικας με απόσταση Hamming 2d+1, έτσι ώστε ακόμα και με d αλλαγές η λέξη με το σφάλμα θα απέχει λιγότερο από έναν από τους κανονικούς συνδυασμούς και θα μετασχηματιστεί σε αυτόν.
- Π.χ. οι συνδυασμοί 000000, 000111, 111000, 111111 έχουν απόσταση Hamming = 3 επομένως μπορούν να ανιχνεύσουν μέχρι και 2 σφάλματα του 1ος bit και να διορθώσουν 1 σφάλμα του 1ος bit. (π.χ. ο συνδυασμός 000110 γίνεται 000111, ενώ ο 000100 γίνεται 000000)
- Ανίχνευση σφαλμάτων 1ος bit σε έναν κώδικα με d=2 και διόρθωση σφαλμάτων του 1ος bit σε έναν κώδικα με d=3.



Ανίχνευση και Διόρθωση σφαλμάτων 2

- Το πόσα bits ελέγχου πρέπει να προστεθούν ώστε να μπορεί ο κώδικας να πραγματοποιεί διόρθωση σφάλματος του 1ος bit εξαρτάται από τα bits των αρχικών λέξεων. Γενικά πρέπει να ισχύει : $2^r \geq m + r + 1$.

Μέγεθος λέξης m	Bit ελέγχου r	Συνολικό μέγεθος n=m+r	Ποσοστιαία Επιβάρυνση
8	4	12	50%
16	5	21	31%
32	6	38	19%
64	7	71	11%
128	8	136	6%
256	9	265	4%
512	10	522	2%

Μέθοδος της Ισοτιμίας

- Μία απλή μέθοδος ανίχνευσης σφαλμάτων είναι η μέθοδος της ισοτιμίας (Parity). Σε κάθε λέξη προστίθεται ένα bit ελέγχου (parity bit) το οποίο επιλέγεται έτσι (0 ή 1) ώστε οι συνολικές μονάδες '1' στην λέξη να είναι άρτιες (ή περιττές). Οποιοδήποτε σφάλμα του 1ος bit παράγει λανθασμένη ισοτιμία και άρα ανίχνευση σφάλματος (Απόσταση Hamming του κώδικα = 2).
- Παράδειγμα άρτιας και περιττής ισοτιμίας :

Άρτια

Αρχική λέξη — Bit ισοτιμίας

1	0	0	1	1	0	1	1	1

Αρ, '1' = 6 (άρτια ισοτιμία)

Εσφαλμένη λέξη — Bit ισοτιμίας

1	0	1	1	1	0	1	1	1

Αρ, '1' = 7 σφάλμα

Περιττή

Αρχική λέξη — Bit ισοτιμίας

1	0	0	1	1	0	1	1	0

Αρ, '1' = 5 (περιττή ισοτιμία)

Εσφαλμένη λέξη — Bit ισοτιμίας

1	0	1	1	1	0	1	1	0

Αρ, '1' = 6 σφάλμα

Ο Κώδικας Hamming

Είδος Bit	Α/Α Θέσης	Δυαδική μορφή Α/Α
D7	12	1 1 0 0
D6	11	1 0 1 1
D5	10	1 0 1 0
D4	9	1 0 0 1
H3	8	1 0 0 0
D3	7	0 1 1 1
D2	6	0 1 1 0
D1	5	0 1 0 1
H2	4	0 1 0 0
D0	3	0 0 1 1
H1	2	0 0 1 0
H0	1	0 0 0 1
		P3 P2 P1 P0

$P0 = D6 \oplus D4 \oplus D3 \oplus D1 \oplus D0 \oplus H0$

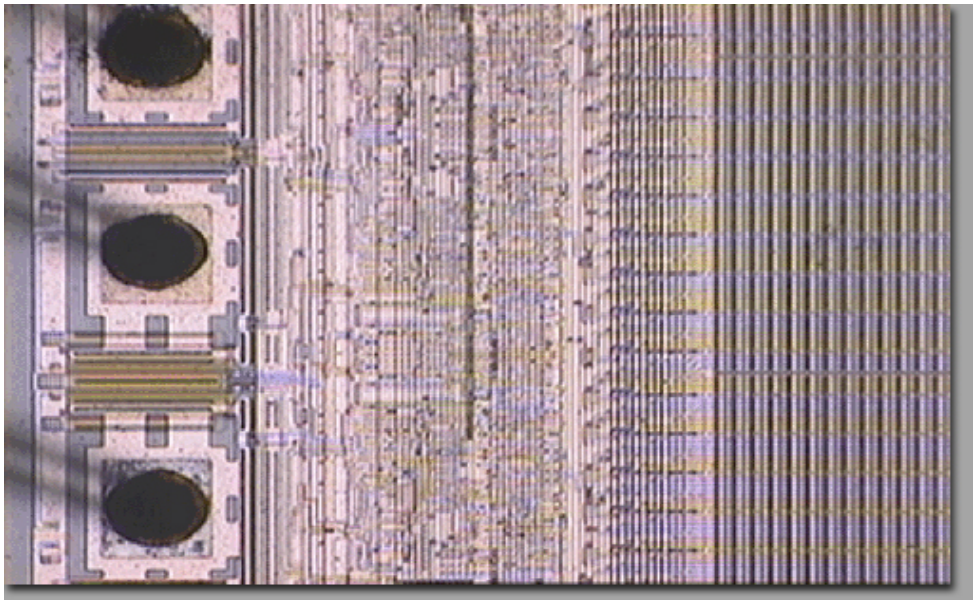
$P1 = D6 \oplus D5 \oplus D3 \oplus D2 \oplus D0 \oplus H1$

$P2 = D7 \oplus D3 \oplus D2 \oplus D1 \oplus H2$

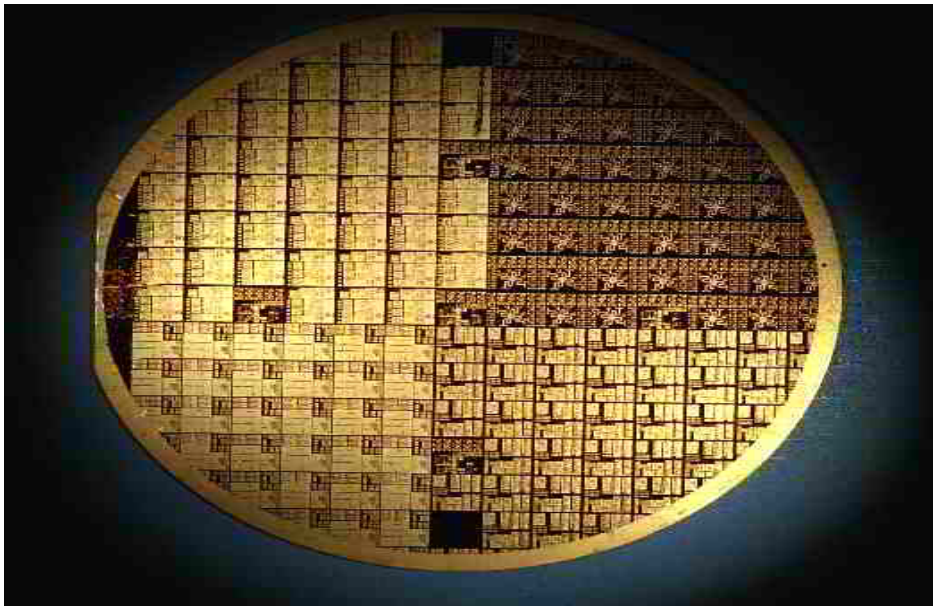
$P3 = D7 \oplus D6 \oplus D5 \oplus D4 \oplus H3$

- Τα bits Hamming εισάγονται στις θέσεις 2^J $J \in I$, και καθορίζονται ώστε οι ισοτιμίες P0,P1,P2 και P3 να είναι άρτιες
- Για κάθε λέξη που μπορεί να φέρει σφάλμα, υπολογίζονται τα P0, P1, P2, P3. Προφανώς αν έχει συμβεί σφάλμα κάποια ισοτιμία θα επιστρέψει '1'.
- Ο δυαδικός αριθμός που σχηματίζεται στα P3, P2, P1, P0 δείχνει τον Α/Α του bit που έχει το σφάλμα

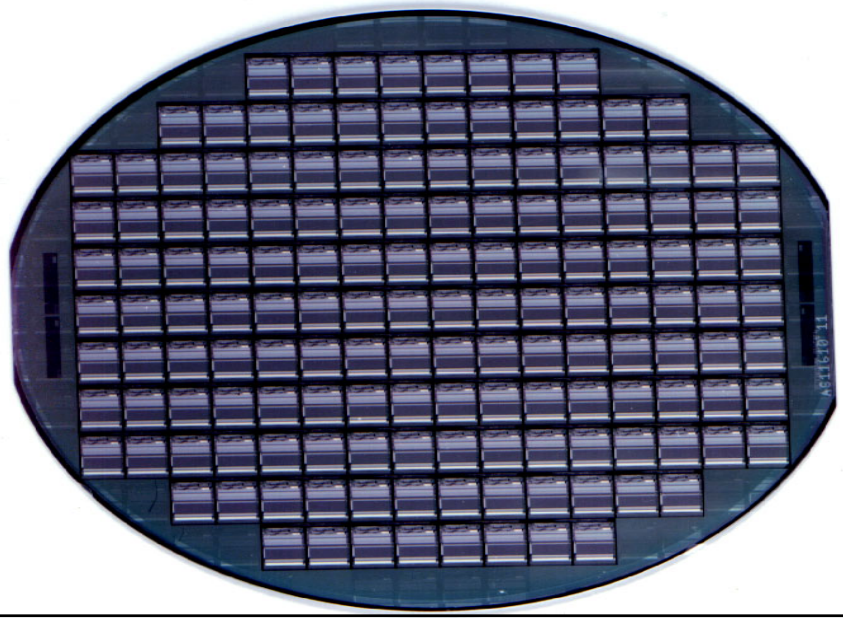
Λεπτομέρεια από EEPROM



Silicon Wafer



Silicon Wafer

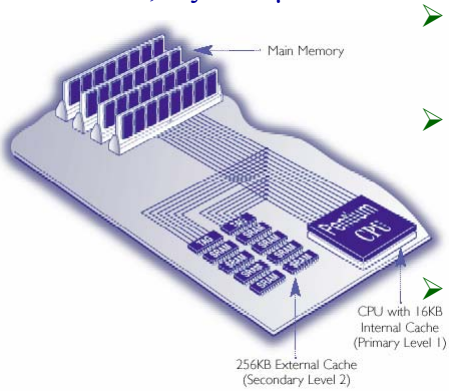


Η Κρυφή Μνήμη - Cache Memory

- Οι μικροεπεξεργαστές ήταν πάντα ταχύτεροι από τις μνήμες με τις οποίες συνεργάζονταν, επειδή η εξέλιξη στις μνήμες στράφηκε κυρίως προς την αύξηση της χωρητικότητας και δευτερευόντως στην αύξηση της ταχύτητας.
- Σήμερα ο ταχύτερος Pentium 4 χρονίζεται στα 3 GHz ενώ οι ταχύτερες μνήμες Rambus είναι στα 800 MHz (3.75 φορές πιο αργές) ενώ οι ταχύτερες μνήμες DDR είναι στα 400 MHz (7.5 φορές πιο αργές).
- Κάθε φορά που η CPU διαβάζει ή γράφει στην μνήμη πρέπει να περιμένει αρκετούς κύκλους μηχανής ώστε να αποκριθεί η μνήμη.
- Η αναμονή αυτή υλοποιείται είτε θέτοντας την CPU σε κατάσταση Στάσης (stall) είτε εκτελώντας εντολές NOP που απλά εισάγουν χρονική καθυστέρηση.
- Η διαφορά αυτή στην ταχύτητα CPU-RAM μειώνει σημαντικά την συνολική απόδοση του συστήματος.
- Η τεχνική που χρησιμοποιείται για την γεφύρωση του χάσματος είναι η χρήση Κρυφής Μνήμης (Cache Memory).

Η Κρυφή Μνήμη - Cache Memory (β)

- Η μνήμη cache είναι ένα block μνήμης που υλοποιείται με γρήγορες μνήμες τεχνολογίας SRAM (δισταθή κυκλώματα flip-flop) με ταχύτητες ανώτερες των DRAM αλλά και με περιορισμένο μέγεθος λόγω κόστους και λόγω μεγάλου αριθμού τρανζίστορ ανά bit (6-8).
- Η μνήμη cache τοποθετείται λογικά ανάμεσα στην CPU και την μνήμη RAM, ως ενδιάμεσο buffer επικοινωνίας.



- Οι περιοχές μνήμης που χρησιμοποιούνται περισσότερο διατηρούνται στην μνήμη cache και προσπελαύνονται από εκεί.
- Όταν η CPU θέλει να διαβάσει μία θέση μνήμης πρώτα απευθύνεται στην μνήμη cache και αν υπάρχει, την διαβάζει με μεγάλη ταχύτητα. Αν όχι τότε απευθύνεται στην κυρίως RAM.
- Η εγγραφή μνήμης γίνεται πάλι με μεγάλη ταχύτητα στην cache και όταν αυτή γεμίσει τότε γίνεται αποθήκευση στην κυρίως RAM.

Αρχή της Τοπικότητας

- Τα προγράμματα δεν απευθύνονται στην μνήμη με εντελώς τυχαίο τρόπο.
- Αν σε μία χρονική στιγμή ένα πρόγραμμα προσπελάσει την θέση μνήμης M, τότε είναι πολύ πιθανό στις επόμενες χρονικές στιγμές να προσπελάσει μνήμες στην γειτονιά της θέσης M.
- Παράδειγμα : τα ίδια τα προγράμματα που αποτελούν εντολές γλώσσας μηχανής εκτελούνται σειριακά (αν εξαιρέσουμε τις μακρινές διακλαδώσεις και τις κλήσεις υπορουτινών), άρα προσκομίζονται εντολές στην CPU από διαδοχικές θέσεις μνήμης. Επίσης ο περισσότερος χρόνος των προγραμμάτων καταναλώνεται σε μικρούς τοπικούς βρόχους που εκτελούν επαναλήψεις.
- Η διαπίστωση ότι οι προσπελάσεις μνήμης που γίνονται σε ένα μικρό χρονικό διάστημα αναφέρονται σε μία πεπερασμένη γειτονιά μνήμης ονομάζεται Αρχή της Τοπικότητας (Locality Principle) και σε αυτήν βασίζονται όλα τα συστήματα μνήμης cache.

Είδη Τοπικότητας

- Υπάρχουν 2 είδη τοπικότητας :
- Χωρική Τοπικότητα (Spatial Locality) : όταν σε μία δεδομένη χρονική στιγμή t προσπελαύνεται η θέση μνήμης M τότε στις επόμενες χρονικές στιγμές (t+1, t+2, …) είναι πολύ πιθανόν να προσπελαστούν μνήμες «χωρικά» κοντινές με την M (M-k,…, M, …, M+k). Έτσι όταν η CPU ζητήσει την μνήμη M, στην cache φορτώνεται όχι μόνο η M αλλά μία ολόκληρη περιοχή μνήμης γύρω από την M, ώστε να προληφθούν μελλοντικές προσπελάσεις θέσεων μνήμης.
- Χρονική Τοπικότητα (Temporal Locality) : όταν σε ένα δεδομένο χρονικό διάστημα $t_1..t_2$ έχουν προσπελαστεί οι μνήμες M, N και L που απέχουν «χωρικά» μεταξύ τους είναι πολύ πιθανόν στο άμεσο μέλλον να ξαναχρησιμοποιηθούν οι ίδιες μνήμες. Αυτό μπορεί να συμβεί π.χ. όταν εκτελείται ένας βρόχος πολλές φορές και κάθε φορά προσπελαύνει συγκεκριμένες μνήμες (π.χ. μετρητές, αθροιστές κ.λ.π.). Οι μνήμες cache εκμεταλλεύονται την χρονική τοπικότητα όταν αποφασίζουν ποιό τμήμα τους θα διαγράψουν για να προσκομίσουν ένα νέο τμήμα. Διαγράφεται αυτό που δεν έχει προσπελαστεί πρόσφατα.

Ποσοτική βελτίωση του χρόνου προσπέλασης

- Αν ένα byte μνήμης διαβαστεί ή γραφτεί k φορές σε ένα σύντομο χρονικό διάστημα τότε θα απαιτηθούν 1 προσπέλαση στην κύρια μνήμη και k-1 προσπελάσεις στην cache (αφού το byte θα έχει προσκομιστεί στην cache μετά την πρώτη προσπέλαση από την RAM).
- Ο λόγος επιτυχιών h (hit ratio) δηλαδή το ποσοστό όλων των προσπελάσεων μνήμης που μπορούν να ικανοποιηθούν από την cache ορίζεται ως : $h = (k-1) / k$
- Ο λόγος αποτυχιών (miss ratio) προφανώς θα είναι 1/k ή 1-h.
- Αν c (~0.3 nsec) είναι ο μέσος χρόνος προσπέλασης της cache και m (3 nsec) είναι ο μέσος χρόνος προσπέλασης της RAM τότε μπορούμε να υπολογίσουμε τον μέσο χρόνο προσπέλασης μνήμης ως :

  μέσος χρόνος προσπέλασης μνήμης $T = c + (1-h)\, m$
- Όταν $h \rightarrow 1$ τότε $T \rightarrow c$ γιατί όλες οι αναφορές μνήμης ικανοποιούνται από την cache.
- Όταν $h \rightarrow 0$ τότε $T \rightarrow c+m$. Καμία προσπέλαση μνήμης δεν ικανοποιείται από την cache άρα απαιτείται μία προσπέλαση στην cache (ανεπιτυχής) και στη συνέχεια μία προσπέλαση στην μνήμη RAM.

Εσωτερική Οργάνωση Μνήμης Cache

- Βασιζόμενες στην αρχή της Τοπικότητας οι μνήμες cache αποτελούν-ται από έναν αριθμό ενοτήτων σταθερού μεγέθους που ονομάζονται Γραμμές Κρυφής Μνήμης (Cache Lines).
- Όταν συμβαίνει μία αποτυχία τότε φορτώνεται μία ολόκληρη γραμμή κρυφής μνήμης από την RAM. Π.χ. αν το μέγεθος γραμμής είναι 64 bytes και ζητείται προσπέλαση της μνήμης 260, θα φορτωθεί στην cache μία ολόκληρη γραμμή των 64 bytes δηλαδή τα περιεχόμενα των διευθύνσεων 256-319.
- Ανάλογα με την μέθοδο αντιστοίχισης των γραμμών της μνήμης cache με αντίστοιχες της RAM διακρίνουμε 3 τύπους οργάνωσης της μνήμης cache :
- Μνήμες cache Άμεσης Χαρτογράφησης (Direct-Mapped cache).
- Μνήμες cache Πλήρους Συσχέτισης (Fully Associative cache).
- Μνήμες cache Συνόλων Συσχέτισης Ν-Δρόμων (N-Way Set Associative cache).

Μνήμη cache Άμεσης Χαρτογράφησης

- Ας θεωρήσουμε μία μνήμη cache των 64 Kbytes με μέγεθος γραμμής 32 bytes. Ο αριθμός των γραμμών θα είναι 64K/32=2048. Αν η μνήμη RAM είναι 64 MB τότε μπορούμε να θεωρήσουμε ότι αποτελείται από 64MB/32 = 2097152 γραμμές ή 32άδες. Έτσι κάθε μία από τις 2048 γραμμές της μνήμης cache μοιράζεται σε 2097152/2048=1024 γραμμές της μνήμης RAM.
- Η κάθε μία από τις 1024 γραμμές της RAM που αντιστοιχούν σε μία γραμμή της cache διαφέρουν κατά το μέγεθος της cache (64K).

Εγγραφή	Valid	Tag	Data	Διευθύνσεις που χρησιμοποιούν την γραμμή
2048				65504..65535, 131040-131071, …
....				
4				128..159, 65664-65695, …
3				96..127, 65632-65663, …
2				64..95, 65600-65631, …
1				32..63, 65568-65599, …
0				0..31, 65536-65567, …

Μνήμη cache Άμεσης Χαρτογράφησης (β)

- Η κάθε εγγραφή της cache αποτελείται από 3 μέρη :

1. Το Bit Εγκυρότητας (Valid Bit) που δείχνει αν τα περιεχόμενα της γραμμής είναι έγκυρα .
2. Την Ετικέτα (Tag) που προσδιορίζει από ποια από τις 1024 γραμμές της RAM έχουν προέλθει τα δεδομένα της γραμμής και
3. Τα Δεδομένα (Data) που περιέχουν τα 32 byte της μνήμης.

- Κάθε διεύθυνση της μνήμης RAM μπορεί να βρίσκεται σε μία μόνο γραμμή της cache. Π.χ. Η διεύθυνση 16 μπορεί να βρίσκεται μόνο στην γραμμή 0 της cache αν όμως αυτή περιέχει την 32άδα (0..31). Άρα όταν γίνεται προσπέλαση μίας θέσης μνήμης ελέγχεται μόνο η αντίστοιχη γραμμή που μπορεί να την περιέχει.
- Αν την περιέχει τότε διαβάζεται ή γράφεται η μνήμη. Αν όχι τότε διαβάζεται ολόκληρη η αντίστοιχη γραμμή από την RAM και επικαλύπτει την γραμμή που ήδη υπήρχε στην συγκεκριμένη εγγραφή της cache. Αν βέβαια είχαν συμβεί αλλαγές στην προηγούμενη γραμμή τότε αυτή σώζεται στην RAM πριν έρθει η νέα.

Σύγκρουση Κρυφής Μνήμης

(Cache Collision) :

- Κάθε γραμμή της cache μπορεί να περιέχει συγκεκριμένες 32άδες της RAM οι οποίες μάλιστα διαφέρουν κατά 64KB ή πολλαπλάσια αυτού.
- Έτσι άν ένα πρόγραμμα προσπελαύνει διαδοχικά θέσεις μνήμης που διαφέρουν κατά 64KB (π.χ. τις θέσεις μνήμης 1 και 65537) αυτές ποτέ δεν πρόκειται να βρίσκονται ταυτόχρονα στην cache αφού αντιστοιχούν στην ίδια γραμμή της κρυφής μνήμης (ή θα βρίσκεται η μία 32άδα ή η άλλη).
- Σε αυτή την περίπτωση απαιτούνται συνέχεια προσπελάσεις στην RAM και αντικαταστάσεις της γραμμής της cache με αποτέλεσμα η απόδοση του συστήματος της cache να είναι χαμηλή.
- Μάλιστα η απόδοση του συστήματος σε περιπτώσεις σύγκρουσης είναι χειρότερη από την περίπτωση που θα υπήρχε μόνο η RAM, γιατί εκτός από την προσπέλαση της RAM χρειάζεται κάθε φορά ανάγνωση και της cache και επιβεβαίωση για το ότι λείπει η επιθυμητή διεύθυνση.

Μνήμη cache Πλήρους Συσχέτισης

- (Fully Associative Cache) : για την επίλυση του προβλήματος των συγκρούσεων αναπτύχθηκε αυτή η τεχνική οργάνωσης της cache.
- Κάθε γραμμή της cache μπορεί να περιέχει οποιαδήποτε 32άδα της μνήμης RAM
- Έτσι οποιεσδήποτε 32άδες (π.χ. 0..31, 65536..65567) μπορούν να είναι ταυτόχρονα στην cache.
- Όμως σε κάθε προσπέλαση μνήμης πρέπει να ελέγχονται και οι 2048 γραμμές της cache για το αν περιέχουν την επιθυμητή 32άδα.

Εγγραφή	Valid	Tag	Data	Διευθύνσεις που χρησιμοποιούν την γραμμή
2048				131040-131071
....				
4				128..159
3				65632-65663
2				64..95
1				65536..65567
0				0..31

Μνήμη cache Συνόλων Συσχέτισης N-Δρόμων

- (N-Way Set Associative cache) : Μία ενδιάμεση λύση ανάμεσα στις δύο προηγούμενες. Οι γραμμές οργανώνονται σε σύνολα των N γραμμών. Έτσι οι 2048 γραμμές γίνονται 512 σύνολα των 4 γραμμών.
- Κάθε 32άδα της μνήμης RAM μπορεί να βρίσκεται μόνο σε ένα συγκεκριμένο σύνολο από τα 512 αλλά σε οποιαδήποτε από τις 4 θέσεις του συνόλου
- Έτσι μπορούν να συνυπάρχουν οι 32άδες (0..31) & (65536..65567) και για κάθε προσπέλαση μνήμης ερευνώνται μόνο 4 γραμμές της cache

εγγρ	V	tag	data
512			
....			
3			
2			
1			
0			

Entry A

εγγρ	V	tag	data
512			
....			
3			
2			
1			
0			

Entry B

εγγρ	V	tag	data
512			
....			
3			
2			
1			
0			

Entry C

εγγρ	V	tag	data
512			
....			
3			
2			
1			
0			

Entry D

Μνήμη cache Συνόλων Συσχέτισης N-Δρόμων (β)

- Η οργάνωση αυτή στην ουσία είναι η γενίκευση και για την cache Άμεσης Χαρτογράφησης και για την Πλήρους Συσχέτισης.
- Θέτοντας N=1 έχουμε μόνο μία γραμμή cache για κάθε διεύθυνση μνήμης και η οργάνωση αντίστοιχη με αυτή της Άμεσης Χαρτογράφησης.
- Θέτοντας N=αριθμό γραμμών (2048) τότε οποιαδήποτε 32άδα της RAM μπορεί να αποθηκευθεί σε οποιαδήποτε γραμμή cache οπότε έχουμε την οργάνωση της Πλήρους Συσχέτισης.
- Η μνήμη cache Συνόλων Συσχέτισης N-Δρόμων είναι πιο πολύπλοκη στην υλοποίηση αλλά έχει αποδειχθεί ότι για N=2 ή 4 βελτιώνεται σημαντικά η απόδοση της cache.
- Για N=8 ή μεγαλύτερο παρατηρείται είτε ασήμαντη περαιτέρω βελτίωση είτε και χειροτέρευση της απόδοσης του συστήματος.

Σχεδιαστικές Παράμετροι Κρυφής Μνήμης

- Μέγεθος Κρυφής Μνήμης : όσο μεγαλύτερη είναι η cache τόσο καλύτερη κάλυψη των αιτήσεων μνήμης μπορεί να προσφέρει και τόσο μεγαλύτερος είναι ο λόγος επιτυχίας (hit-ratio). Για οικονομοτεχνικούς όμως λόγους δεν μπορεί να φτάσει σε μεγάλες τιμές και είναι της τάξης των 16KB – 512 KB (P4).
- Μέγεθος Γραμμής : Μία μνήμη cache των 64KB μπορεί να οργανωθεί με 4096 γραμμές των 16 bytes ή 2048 γραμμές των 32 bytes ή 1024 γραμμές των 64 bytes κ.λ.π. Κάθε συνδυασμός έχει διαφορετική απόδοση η οποία σχετίζεται και με το είδος των εφαρμογών που εκτελούνται. Έτσι ο σχεδιαστής ενός συστήματος πρέπει να επιλέξει την βέλτιστη λύση.
- Αποθήκευση Δεδομένων και Εντολών : Δύο κατηγορίες :

1. Ενοποιημένη Κρυφή Μνήμη (Unified Cache) στην οποία αποθηκεύονται και εντολές και δεδομένα και είναι απλούστερη.
2. Διαμερισμένη Κρυφή Μνήμη (Split Cache) όπου εντολές και δεδομένα αποθηκεύονται σε ξεχωριστές cache.

Αριθμός Κρυφών Μνημών και Επίπεδα

- Σε ένα σύστημα μπορεί να υπάρχουν πολλά μπλόκ μνημών cache. Σε κάθε μπλόκ ανατίθεται και ένας αριθμός επιπέδου (level number) ανάλογα με το πόσο κοντά είναι το κάθε μπλόκ στην CPU.
- Η κρυφή μνήμη επιπέδου 1 (Level 1 cache) : ενσωματώνεται στον πυρήνα της CPU, χρονίζεται στην ίδια συχνότητα με αυτήν και έχει άμεση σύνδεση με τους καταχωρητές. Στον P4 χρησιμοποιείται 8KB L1 data cache και 12K decoded micro-operation cache (split).
- Η κρυφή μνήμη επιπέδου 2 (Level 2 cache) : παλαιότερα ήταν εκτός της CPU και πάνω στο motherboard αλλά στους σύγχρονους επεξεργαστές είναι μέσα στην συσκευασία της CPU. Σκοπός της είναι η αδιάλειπτη παροχή δεδομένων στην CPU. Στον P4 η L2 cache είναι 512 KB και είναι του τύπου 8-Way Set Associative cache με μέγεθος γραμμής 32 byte και συχνότητα ίδια με αυτή της CPU.
- Σε μεγάλα συστήματα ενδέχεται να υπάρχει και κρυφή μνήμη 3ου επιπέδου (Level 3 cache) που τοποθετείται πάνω στο motherboard, ως ενδιάμεση μνήμη ανάμεσα στην RAM και την L2 cache.

Διαγραφή Κρυφής Μνήμης

- Όταν λόγω αποτυχημένης αναζήτησης (cache miss) μεταφέρεται μία νέα γραμμή της RAM σε κάποιο σύνολο γραμμών της cache πρέπει να αποφασιστεί ποιά γραμμή θα επικαλυφθεί. Ακολουθούνται 2 τεχνικές :

1. Διαγραφή με βάση το χρόνο παραμονής (FIFO – First In First Out) : Διαγράφεται η γραμμή που έχει παραμείνει στην cache για το μεγαλύτερο χρονικό διάστημα.
2. Διαγραφή με βάση την τελευταία χρήση (LRU – Least Recently Used) : διαγράφεται η εγγραφή που έχει μείνει αχρησιμοποίητη για το μεγαλύτερο χρονικό διάστημα.

- Ως προς την διαχείριση εγγραφών μνήμης υπάρχουν 2 τεχνικές :

1. Write-Back cache : οι εγγραφές στην μνήμη γίνονται στην ουσία στην cache και όταν η συγκεκριμένη γραμμή χρειαστεί να επικαλυφθεί τότε σώζεται πραγματικά στη RAM.
2. Write-Through cache : οι εγγραφές γίνονται και στην cache, ώστε να υπάρχουν αν χρειαστεί να διαβαστούν, αλλά και στην RAM.

Δίαυλοι - Buses

- Είναι κανάλια επικοινωνίας που συνδέουν διάφορες υπομονάδες ενός Η/Υ μεταξύ τους για μεταφορά δεδομένων.
- Οι δίαυλοι επικοινωνίας αποτελούνται από ψηφιακές γραμμές (ηλεκτρικούς αγωγούς) που είτε ενσωματώνονται στο PCB της motherboard είτε υλοποιούνται με καλώδια και κονέκτορες, και από μία ψηφιακή διάταξη που ελέγχει την διακίνηση δεδομένων πάνω στο BUS και φροντίζει για θέματα συγχρονισμού και ελέγχου και ονομάζεται Διαχειριστής Διαύλου (Bus Controller).
- Ο βασικός δίαυλος σε ένα Η/Υ είναι ο Δίαυλος Συστήματος (System Bus) που αποτελείται από 3 επιμέρους διαύλους:
- Δίαυλος Δεδομένων (Data Bus) : μεταφέρει δεδομένα από την CPU προς τη μνήμη και τις Π.Σ. και αντίστροφα.
- Δίαυλος Διευθύνσεων (Address Bus) : μεταφέρει διευθύνσεις από την CPU προς τα chip μνήμης.
- Δίαυλος Ελέγχου (Control Bus) : μεταφέρει σήματα ελέγχου από την CPU προς τον υπόλοιπο Η/Υ και αντίστροφα.

Έννοιες Διαύλων

- Πρωτόκολλο Διαύλου (Bus Protocol) : ένα σύνολο από κανόνες που διέπουν την λειτουργία του διαύλου και καθορίζουν τις προδιαγραφές λειτουργίας του. Ελέγχεται και υλοποιείται από τον Bus Controller και πρέπει να ακολουθείται από όλες τις συσκευές που χρησιμοποιούν τον δίαυλο.
- Κύριος Διαύλου (Bus Master) : μία συσκευή που αναλαμβάνει την διαχείριση του διαύλου και την μεταφορά δεδομένων σε αυτόν.
- Υπηρέτης Διαύλου (Bus Slave) : μία συσκευή που είναι συνδεδεμένη στον δίαυλο και δέχεται δεδομένα από τον Bus Master.
- Οδηγός Διαύλου (Bus Driver) : Ψηφιακός ενισχυτής που συνδέει μία συσκευή Bus Master στον δίαυλο.
- Δέκτης Διαύλου (Bus Receiver) : Ψηφιακή διάταξη που συνδέει έναν Bus Slave στον δίαυλο.
- Πομποδέκτης Διαύλου (Bus Tranceiver) : Συνδυασμός των παραπάνω που χρησιμοποιείται για να συνδέσει στον δίαυλο συσκευές που λειτουργούν και σαν Bus Master και σαν Bus Slave.

Σχεδιαστικά Ζητήματα Διαύλων

- Εύρος Διαύλου : είναι ο αριθμός των γραμμών (bits) που αποτελούν τον δίαυλο. Μεγάλο εύρος διαύλου σημαίνει μεταφορά περισσότερης πληροφορίας στη μονάδα του χρόνου, αλλά και αύξηση του κόστους όλου του σχετιζόμενου hardware.
- Χρονισμός του διαύλου : είναι η συχνότητα με την οποία μεταφέρονται δεδομένα στον δίαυλο. Υπάρχουν δύο είδη διαύλων αναφορικά με τον χρονισμό τους :
- Σύγχρονοι Δίαυλοι : Κρυσταλλικός ταλαντωτής παράγει τετραγωνικούς παλμούς συχνότητας 5 - 533 MHz σε μία από τις γραμμές του διαύλου που είναι η γραμμή του ρολογιού (Bus Clock). Κάθε μεταφορά δεδομένων ή άλλη ενέργεια συγχρονίζεται με τους παλμούς του ρολογιού και διαρκεί ακέραιο πολλαπλάσιο της περιόδου του παλμού. Όταν συνδέονται στον δίαυλο αργές και γρήγορες συσκευές, ο Bus Controller χρονίζει τον δίαυλο με βάση την πιο αργή συσκευή με αποτέλεσμα οι γρήγορες να υπολειτουργούν. Παράδειγμα IDE bus με σκληρό δίσκο και CD/DVD-ROM.

Σχεδιαστικά Ζητήματα Διαύλων (β)

- Ασύγχρονοι δίαυλοι : σε αυτούς τους διαύλους δεν υπάρχει κεντρικό ρολόι που να συγχρονίζει την μεταφορά δεδομένων. Η μεταφορά γίνεται με μεθόδους χειραψίας (handshaking) δηλαδή με ανταλλαγή σημάτων ελέγχου ανάμεσα στον Master και τον Slave. Μπορούν να αξιοποιούν ταυτόχρονα γρήγορες και αργές συσκευές. Παράδειγμα USB (Πληκτρολόγιο - Εκτυπωτής).
- Διαιτησία Διαύλου (Bus Arbitration) : όταν δύο ή περισσότερες συσκευές ζητούν να χρησιμοποιήσουν τον δίαυλο χρειάζεται διαιτησία για να αποφασιστεί ποια θα γίνει Bus Master. Υπάρχουν 2 είδη μηχανισμών διαιτησίας :
- Συγκεντρωτικοί Μηχανισμοί : που υλοποιούνται στον Bus controller ο οποίος αναλαμβάνει πλήρως την ευθύνη της διαιτησίας, δεχόμενος της αιτήσεις (Bus Request) και χορηγώντας τις άδειες χρήσεις του διαύλου (Bus Grant) με βάση προτεραιότητες.
- Αποκεντρωμένοι Μηχανισμοί : που υλοποιούνται από τις ίδιες τις συσκευές και ενσωματώνονται στο πρωτόκολλο του διαύλου.

Σχεδιαστικά Ζητήματα Διαύλων (γ)

- Εύρος Ζώνης (Bandwidth) ή ρυθμός διαμεταγωγής (Throughput) : Η ποσότητα της πληροφορίας που μεταφέρεται από τον δίαυλο στη μονάδα του χρόνου. Προκύπτει από τον τύπο :

  Ρυθμός Διαμεταγωγής = Συχνότητα χρονισμού Χ Εύρος Διαύλου
- Παράδειγμα : Ο δίαυλος AGP έχει εύρος 32bit (4 byte) και χρονίζεται στα 66 MHz. Άρα ο ρυθμός διαμεταγωγής είναι 32 bits X 66 MHz = 2112 Mbits/sec = 264 Mbyte/sec.
- Αυτός είναι ο ρυθμός διαμεταγωγής μονής ταχύτητας (1X).
- Ο δίαυλος AGP διπλής ταχύτητας (2X) έχει ρυθμό διαμεταγωγής 2 X 264 = 528 Mbyte/sec.
- Ο δίαυλος AGP τετραπλής ταχύτητας (4X) έχει ρυθμό διαμεταγωγής 4 X 264 = 1056 Mbyte/sec.
- Τέλος ο σύγχρονος δίαυλος AGP οκταπλής ταχύτητας (8X) έχει ρυθμό διαμεταγωγής 8 X 264 = 2112 Mbyte/sec.

Τεχνικές και Προβλήματα Διαύλων

- Πολυπλεξία : οι γραμμές του διαύλου είναι κοινές για διευθύνσεις και για δεδομένα. Για τον διαχωρισμό μεταξύ των δύο χρησιμοποιούνται ειδικές γραμμές ελέγχου VA (Valid Address) και VD (Valid Data).
- Στην αρχή ενός κύκλου ρολογιού τοποθετείται η διεύθυνση στις γραμμές του διαύλου. Στο τέλος του κύκλου τοποθετούνται τα δεδομένα στις ίδιες γραμμές.
- Η Πολυπλεξία μειώνει τον αριθμό γραμμών του διαύλου αλλά αυξάνει την πολυπλοκότητα και μειώνει την ταχύτητα του διαύλου.
- Η αύξηση της ταχύτητας ενός διαύλου προκαλεί το πρόβλημα που είναι γνωστό ως Ασυμμετρία Διαύλου (Bus Skew). Το πρόβλημα δημιουργείται λόγω του ότι σε κάθε γραμμή του διαύλου τα σήματα ταξιδεύουν με ελαφρά διαφορετικές ταχύτητες. Όσο μεγαλύτερη είναι η ταχύτητα του διαύλου τόσο οξύνεται το πρόβλημα του Bus Skew.
- Το πρόβλημα αντιμετωπίζεται με ειδικούς buffers που συγκεντρώνουν τα bits των γραμμών και τα επαναπροωθούν.

Είδη Διαύλων - Buses

- System Bus : περιέχει το Data bus, το Address Bus και το Control Bus. Στον IBM-PC ισχύουν τα ακόλουθα :
- 20 γραμμές διευθύνσεων (address bus) 2^{20} = 1048576 = 1MB
- 8 γραμμές δεδομένων (data bus) καθώς η CPU ήταν 8bit.
- 8 γραμμές διακοπών (interrupts) μέσω του Interrupt Controller 8259A (μία γραμμή interrupt στον 8088).
- 3 γραμμές κατάστασης που αποκωδικοποιούνται με έναν 8288 bus controller για να παράγουν 8 σήματα του control bus.
- Το system bus συνδεόταν σε slots των 62 pins για κάρτες επέκτασης (PC-BUS)

S0	S1	S2	Σήμα Ελέγχου από τον 8288
0	0	0	Interrupt Acknowledge INTA
0	0	1	Read I/O Port IORC
0	1	0	Write I/O Port IOWC
0	1	1	Halt
1	0	0	Instruction Fetch
1	0	1	Read Memory MRDC
1	1	0	Write Memory MWTC
1	1	1	Passive

Front Side Bus

- FSB – Συνδέει την CPU με τα chip υποστήριξης (Bus Controller, Memory Controller, I/O Controller, PCI bridge, DMA controller, AGP controller κ.λ.π.) και μέσω αυτών με την μνήμη και τις περιφερειακές συσκευές.
- Περιέχει όλες τις γραμμές του Data Bus, του Address bus και του Control bus.
- Χρονίζεται σε συχνότητες από 33 MHz έως και 800 MHz στις σημερινές μητρικές (motherboards).
- Ο έλεγχος του FSB γίνεται από μέρος του chipset που ονομάζεται North Bridge. Το North Bridge επίσης περιέχει τον memory controller, PCI controller και AGP controller.
- Το υπόλοιπο τμήμα του chipset υποστήριξης ονομάζεται South Bridge και αναλαμβάνει την επικοινωνία με συσκευές εισόδου εξόδου όπως ο IDE Controller (σκληροί δίσκοι, CD, DVD κ.λ.π.), σειριακές θύρες, παράλληλες θύρες, δίαυλος USB, Audio chips on board κ.λ.π. Επικοινωνεί με το North Bridge μέσω δίαυλου PCI.

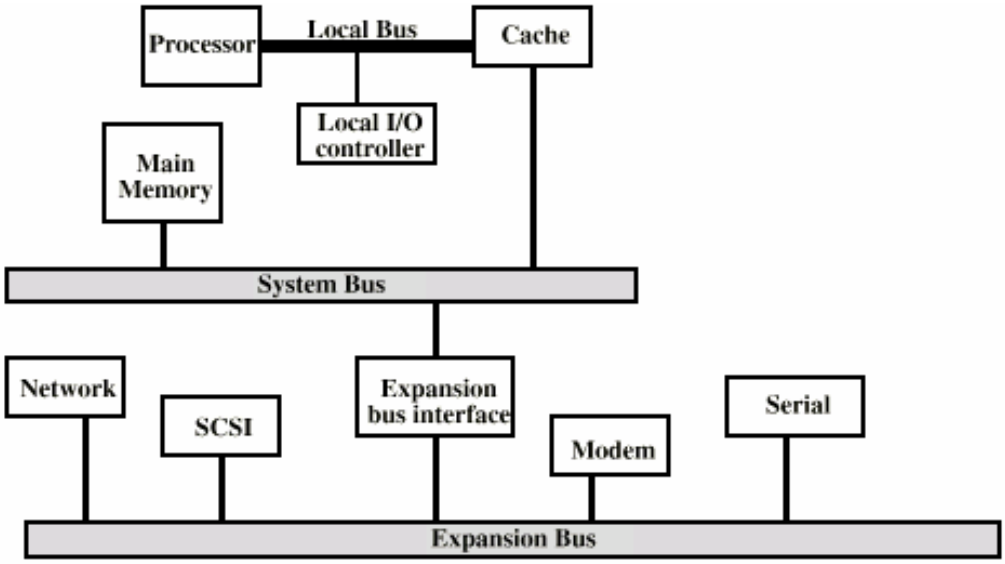
Δίαυλος ISA

- Industry Standard Architecture. Ονομάζεται και IBM-PC XT Bus καθώς ήταν ο στάνταρ δίαυλος επέκτασης του IBM PC-XT.
- Σχεδιάστηκε το 1981 αλλά εγκρίθηκε το 1987 από επιτροπή της IEEE.
- Αρχικά ήταν 8μπιτος και είχε συνολικό εύρος 62 γραμμών ώστε να έχει συμβατότητα με το PC BUS. Οι 62 γραμμές περιλαμβάνουν :

1. 20 γραμμές διευθύνσεων (address bus)
2. 8 γραμμές δεδομένων (data bus).
3. 4 γραμμές ελέγχου (control bus) για ανάγνωση/εγγραφή μνήμης και ανάγνωση/εγγραφή εισόδου/εξόδου.
4. 8 γραμμές διακοπών (interrupts)
5. 4 DMA κανάλια
6. Γραμμές ρολογιού (Clock), και τροφοδοσίας/γείωσης (power/ground)

- Αρχικά είχε συχνότητα ίδια με του επεξεργαστή δηλαδή 4.77 MHz αλλά χρειαζόταν δύο κύκλους για μία λειτουργία οπότε είχε ρυθμό μεταφοράς δεδομένων 2.38 Mbytes/sec.

Επέκταση μέσω Διαύλου ISA

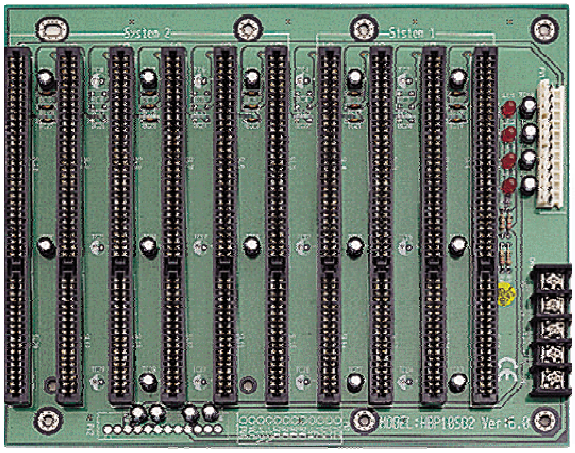


Δίαυλος ISA 16 bit

- Το 1984 με την παρουσίαση του 80286 που ήταν 16μπιτος και είχε 24 γραμμές διευθύνσεων (16 MB) παρουσιάστηκε και ο 16μπιτος δίαυλος ISA.
- Είχε 32 pins παραπάνω αλλά και συμβατότητα με τις κάρτες επέκτασης ISA των 8 bits.
- Είχε 16 γραμμές δεδομένων, 24 γραμμές διευθύνσεων, 16 γραμμές interrupts και 8 κανάλια DMA και χρονίζονταν στα 8 ή 10 MHz του 80286.
- Με δεδομένη την ανάγκη 2 κύκλων για κάθε ενέργεια είχε μέγιστο ρυθμό μεταφοράς δεδομένων 8MHz X 16 /2 = 8Mbytes/sec.
- Το ISA Bus δεν είχε κεντρική διαιτησία οπότε όλες οι συσκευές που συνδέονταν σε αυτό θεωρούσαν ότι όλα τα resources (γραμμές IRQ, κανάλια DMA, Διευθύνσεις I/O) ήταν δικά τους. Για τον λόγο αυτό υπήρχαν σε κάθε κάρτα επέκτασης βραχυκυκλωτές (jumpers) που καθόριζαν τις παραμέτρους λειτουργίας της κάθε κάρτας ώστε να μη συγκρούεται με άλλες (resource conflicts).

ISA Bus slots και κάρτα επέκτασης ISA

10 θύρες επέκτασης ISA



Κάρτα ISA με 2 σειριακές

Κάρτα Δικτύου ISA (Ethernet)

Δίαυλος PCI

- Peripheral Component Interconnect bus : Σχεδιάστηκε από την Intel το 1992 λόγω των περιορισμών ταχύτητας του ISA bus ειδικά σε εφαρμογές γραφικών και πολυμέσων.
- Το αρχικό PCI bus είχε τα εξής χαρακτηριστικά :
- Είχε data bus των 32 bit και έτσι μετέφερε 4 byte σε κάθε κύκλο.
- Είχε συχνότητα λειτουργίας τα 33 MHz
- Είχε ρυθμό μεταφοράς δεδομένων 133 Mbyte / sec.
- Το 1995 σχεδιάστηκε ο νέος δίαυλος PCI v2.1. με τα εξής χαρακτηριστικά :
- Είχε data bus των 64 bit και έτσι μετέφερε 8 byte σε κάθε κύκλο.
- Είχε συχνότητα λειτουργίας τα 66 MHz
- Είχε ρυθμό μεταφοράς δεδομένων 528 Mbyte / sec που είναι αρκετά για κινούμενη εικόνα πλήρους οθόνης (full picture/full motion video).

Δίαυλος PCI (β)

- Αρχικά είχε 50 γραμμές που περιλάμβαναν :

1. Γραμμές συστήματος : clock και reset
2. 32 γραμμές που ήταν κοινές για διευθύνσεις και δεδομένα με πολυπλεξία στον χρόνο.
3. Γραμμές Interrupt, validate, διαιτησίας διαύλου (bus arbitration), γραμμές σφαλμάτων (error lines).

- Στο PCI 2.1 (1995) προστέθηκαν ακόμα 32 γραμμές για δεδομένα (ώστε να γίνει 64μπιτος) και 2 ακόμα γραμμές ελέγχου για συμφωνία των συσκευών για επικοινωνία στα 64 bits.
- Η επικοινωνία στον δίαυλο PCI γίνεται σε 5 στάδια :

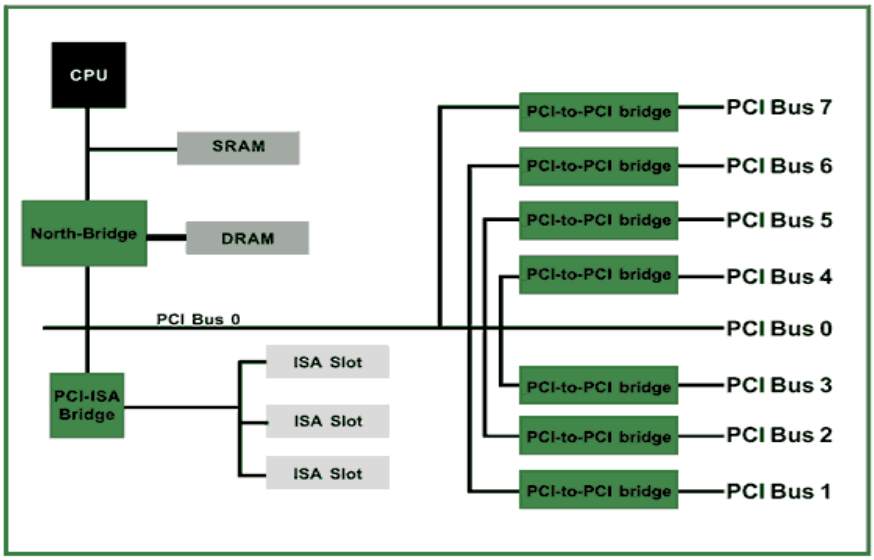
1. Αποστολή σημάτων μεταξύ Master και Slave
2. Ο Master αποκτά τον έλεγχο του διαύλου
3. Καθορίζεται το είδος της επικοινωνίας (Read/Write)
4. Ακολουθεί η φάση εμφάνισης της διεύθυνσης.
5. Ακολουθούν μία ή περισσότερες φάσεις μεταφοράς δεδομένων

Δίαυλος PCI (γ)

- Σήμερα οι δίαυλοι PCI χρονίζονται στα 133 MHz και έχουν μέγιστο θεωρητικό ρυθμό μεταφοράς δεδομένων :

  Max PCI throughput = 133 MHz X 64 bits / 8 = 1066 MByte/sec
- Ο ελεγκτής του διαύλου PCI (PCI controller) έχει δικό του BIOS (PCI BIOS) και ειδικούς Control Registers.
- Plug & Play : Κατά την εκκίνηση του Η/Υ, ο ελεγκτής, μέσω του PCI-BIOS, ανιχνεύει αυτόματα όλες τις συσκευές που είναι συνδεδεμένες στο δίαυλο και είναι σε θέση να ρυθμίζει τα αγαθά που απαιτεί κάθε συσκευή (IRQ, DMA, διευθύνσεις I/O) έτσι ώστε να μην υπάρχουν συγκρούσεις.
- Ο μεγάλος ρυθμός μεταφοράς δεδομένων στον δίαυλο PCI περιορίζει τον αριθμό των θέσεων επέκτασης (expansion slots) που μπορούν να συνδέονται σε ένα δίαυλο σε 3 ή 4 (ISA 6-7).
- Για να αυξηθούν τα PCI slots χρησιμοποιείται και δευτερεύων PCI δίαυλος που επικοινωνεί με τον πρωτεύοντα με μία γέφυρα PCI σε PCI (PCI-to-PCI Bridge).

Συνύπαρξη Διάυλων ISA και PCI

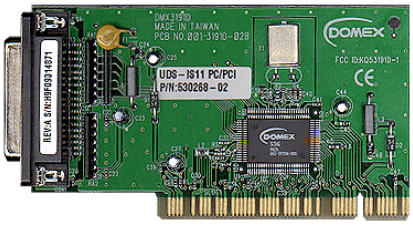


(PCI Bus System with 8 PCI Busses and a PCI-ISA Bridge)

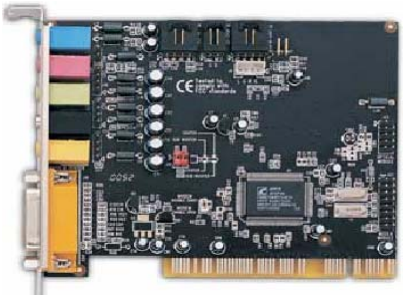
PCI Bus slots και κάρτα επέκτασης PCI

PCI Bus Slots

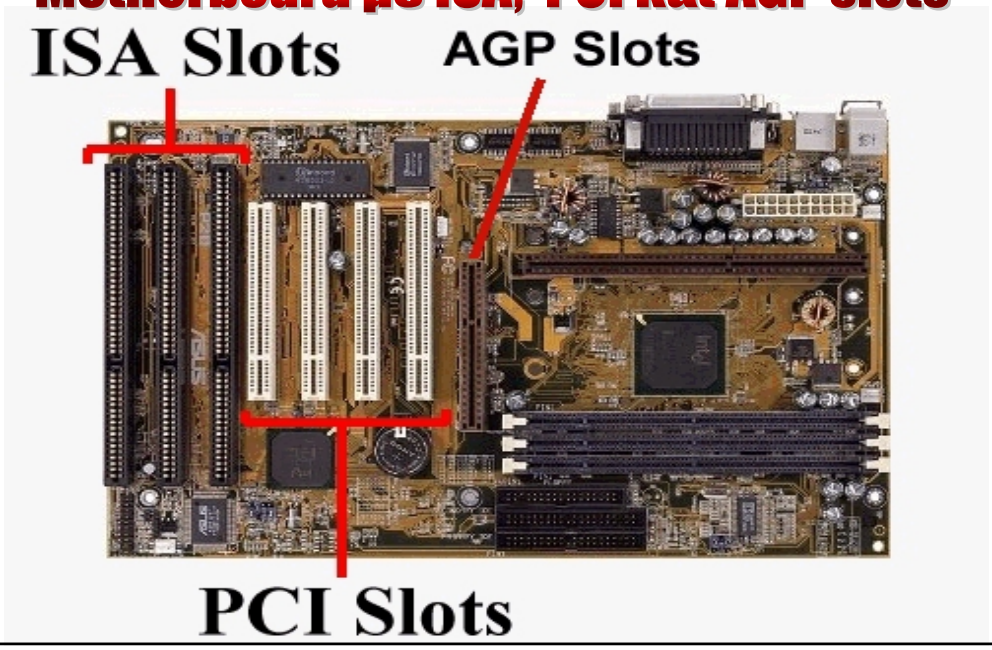
Κάρτα PCI Ελεγκτή SCSI



Κάρτα Ήχου PCI



Motherboard με ISA, PCI και AGP slots



Δίαυλος Compact PCI

- Βασίζεται στον δίαυλο PCI των Η/Υ αλλά προορίζεται για βιομηχανικές εφαρμογές.
- Έχει εύρος 64 bits και χρονίζεται στα 33 MHz με μέγιστο ρυθμό μεταφοράς δεδομένων τα 133 Mbyte/sec.
- Χρησιμοποιεί 220 pins υψηλής πυκνότητας των 2mm. Οι κάρτες σχεδιάζονται για κάθετη τοποθέτηση σε racks.
- Μπορεί να δεχτεί και κάρτες των 110 pins με μεταφορά δεδομένων 32 bit.
- Μπορούν να συνδεθούν μέχρι 7 συσκευές σε ένα δίαυλο ή περισσότερες με PCI-to-PCI bridges.

Δίαυλος PCMCIA

- Σχεδιάστηκε το 1990 από το Personal Computer Memory Card International Association αρχικά για να υπάρχει η δυνατότητα προσθήκης μνήμης RAM υπό την μορφή καρτών σε μέγεθος πιστωτικής κάρτας σε φορητούς υπολογιστές.
- Σύντομα χρησιμοποιήθηκε και για περιφερειακές συσκευές όπως κάρτες δικτύου, παράλληλες και σειριακές θύρες, σκληρούς δίσκους κ.λ.π.
- Έχει εύρος 16 bit και χρονίζεται στα 10 MHz έχοντας μέγιστο ρυθμό μεταφοράς δεδομένων 20 Mbytes/sec. Έχει 68 συνολικά γραμμές.
- Υπάρχουν 3 τύποι καρτών PCMCIA :
- Ο Τύπος Ι προορίζεται για κάρτες μνήμης SRAM, Flash κ.λ.π. (3.3mm)
- Ο Τύπος ΙΙ προορίζεται για κάρτες εισόδου/εξόδου, σειριακές, παράλληλες, fax / modem κ.λ.π. (5.0 mm).
- Ο Τύπος ΙΙΙ προορίζεται για συσκευές με κινούμενα μέρη όπως οι σκληροί δίσκοι (10.5 mm).

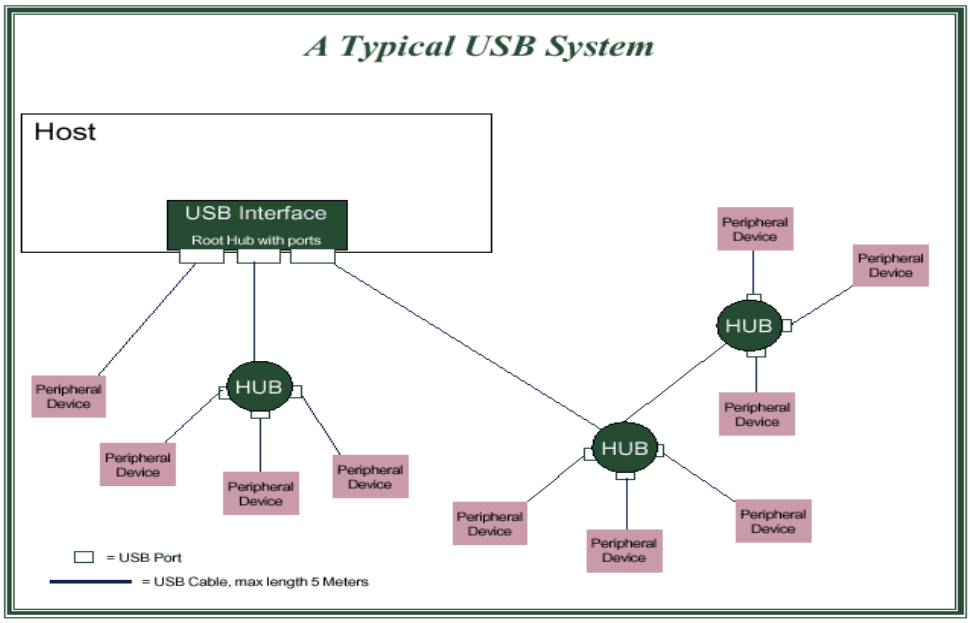
Δίαυλος USB

- Universal Serial Bus. Δημιουργήθηκε λόγω του ότι το PCI Bus είναι πολύ ακριβό για να εξυπηρετεί αργές συσκευές όπως πληκτρολόγια, ποντίκια, εκτυπωτές, scanners κ.λ.π.
- Αναπτύχθηκε με τις εξής προδιαγραφές :
- Οι συσκευές δεν θα έχουν διακόπτες η βραχυκυκλωτές (jumpers).
- Δεν θα χρειάζεται να ανοιχθεί το κουτί του Η/Υ για εγκατάσταση νέων συσκευών.
- Θα χρησιμοποιείται ένας τύπος καλωδίου για όλες τις συσκευές που θα παρέχει και τάση τροφοδοσίας για τις συσκευές.
- Θα μπορούν να συνδέονται έως και 127 συσκευές σε έναν Η/Υ.
- Θα υπάρχει υποστήριξη πραγματικού χρόνου για ήχο, τηλέφωνο κ.λ.π.
- Οι συσκευές θα εγκαθιστούνται με τον Η/Υ σε λειτουργία.
- Δεν θα χρειάζεται επανεκκίνηση του Η/Υ για να λειτουργήσουν οι συσκευές.
- Ο δίαυλος και οι συσκευές θα είναι φθηνές στην κατασκευή.

Δίαυλος USB (β)

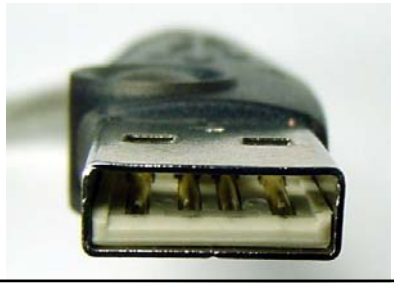
- Αποτελείται από 4 μόνο γραμμές : 2 γραμμές για εργασίες ανάγνωσης / εγγραφής και 2 γραμμές για τροφοδοσία.
- Ο μέγιστος ρυθμός μεταφοράς δεδομένων είναι 1.5 Mbyte/sec για να κρατηθεί το κόστος διαύλων και συσκευών χαμηλά.
- Ένα σύστημα USB αποτελείται από :
- Ένα root hub που συνδέεται απευθείας στον USB controller. Το hub παρέχει μέχρι και 7 συνδέσεις για περιφερειακές συσκευές.
- Σε κάθε σύνδεση μπορεί να συνδεθεί και επιπλέον USB hub παρέχοντας άλλες 7 συνδέσεις κ.ο.κ.
- Ο μέγιστος αριθμός hub που μπορεί να συνδεθούν είναι 7 με μέγιστο συνολικό αριθμό συσκευών 127, σε ένα και μοναδικό controller.
- Συσκευές που συνδέονται στο USB (όπως πληκτρολόγια) μπορεί να ενσωματώνουν USB hubs για σύνδεση και άλλων συσκευών (όπως ποντίκι).
- Τα hubs είναι διαφανή για τις συσκευές και τον ελεγκτή και κάθε συσκευή επικοινωνεί με τον ελεγκτή σαν να είχε δικό της καλώδιο.

Διάταξη Συστήματος USB



Δίαυλος USB (γ)

- Το USB 2.0 είναι η επέκταση του απλού USB (1.1) η μόνη διαφορά του είναι η αυξημένη ταχύτητα μεταφοράς δεδομένων.
- Το USB 2.0 έχει μέγιστη ταχύτητα μεταφοράς δεδομένων 480 Mbits/sec που σημαίνει 60 Mbytes/sec (σε αντίθεση με το 1.5 Mbyte/sec του USB 1.1).
- Στο δίαυλο USB 2.0 μπορούν να συνδεθούν και συσκευές USB 1.1. Ο ελεγκτής του διαύλου αυτόματα καταλαβαίνει το στάνταρ της συσκευής και προσαρμόζει την ταχύτητα μεταφοράς δεδομένων.
- Το USB 2.0 χρησιμοποιείται για σύνδεση σκληρών δίσκων, CD, DVD, Tape Backups και άλλων γρήγορων συσκευών.



Δίαυλος 1394 - Firewire

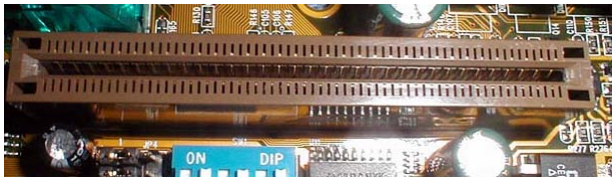
- Ο Δίαυλος IEEE 1394-Firewire είναι ένας υψηλής ταχύτητας σειριακός δίαυλος. Πρωτοσχεδιάστηκε από την Apple το 1986. Δεν απαιτεί την παρουσία Η/Υ για να λειτουργήσει.
- Το πρώτο IEEE 1394 στάνταρ υποστήριζε ταχύτητες μεταφοράς δεδομένων έως και 50 Mbits/sec (6.25 Mbytes/sec).
- Το στάνταρ IEEE 1394a που εγκρίθηκε το 2000 επιτρέπει ρυθμούς 100, 200 και 400 Mbits/sec (έως και 50 Mbytes/sec).
- Το στάνταρ IEEE 1394b που εγκρίθηκε το 2002 επιτρέπει ρυθμούς διαμεταγωγής έως και 3.2 Gbits/sec (400 Mbytes/sec).
- Το Firewire υποστηρίζει Plug & Play, hot swapping (εγκατάσταση και απεγκατάσταση συσκευών «εν θερμώ») και χρησιμοποιεί καλώδιο μικρού πάχους, ιδανικό για καταναλωτικές συσκευές (κάμερες κ.λ.π.)
- Ένας δίαυλος Firewire μπορεί να συνδέσει έως και 63 συσκευές με ή χωρίς Η/Υ, σε διάταξη αστέρα ή δένδρου.
- Για μεγάλα δίκτυα, έως και 1203 δίαυλοι μπορούν να γεφυρωθούν μαζί

Δίαυλος 1394 - Firewire (β)

- Ο δίαυλος 1394 υποστηρίζει Ασύγχρονη και Ισόχρονη Επικοινωνία
- Η Ασύγχρονη Επικοινωνία εμπεριέχει έλεγχο σφαλμάτων (π.χ. εγγραφή δεδομένων στο δίσκο) ο οποίος λόγω καθυστερήσεων την καθιστά μη πρακτική για μεταφορά μεγάλου όγκου δεδομένων (π.χ. live video/audio).
- Η Ισόχρονη Επικοινωνία εγγυάται σταθερό ρυθμό μεταφοράς δεδομένων αλλά δεν εμπεριέχει έλεγχο σφαλμάτων.
- Τα καλώδια είναι 2 ειδών : 4 ακροδεκτών και 6 ακροδεκτών που επιπλέον περιλαμβάνουν τροφοδοσία και γείωση για τις περιφερειακές συσκευές. Το μέγιστο μήκος καλωδίου είναι 4.5 μέτρα (για πάνω από 200 Mbits/sec, και έως 14 μέτρα για χαμηλότερες ταχύτητες.

Δίαυλος AGP

- Ο Δίαυλος AGP (Accelerated Graphics Port) αναπτύχθηκε από την Intel και βασίζεται στον δίαυλο PCI.
- Είναι βελτιστοποιημένος για χρήση σε 3D γραφικά υψηλής ταχύτητας.
- Επικοινωνεί απευθείας με την κύρια μνήμη του Η/Υ.
- Χρονίζεται στα 66.6 MHz και έχει εύρος 32 bit με ρυθμό διαμεταγωγής 66.6 X 32 = 2133 Mbits/sec = 266 Mbytes/sec. Αυτό είναι το στάνταρ AGP 1X.
- Το AGP 2X χρονίζεται στα 133 MHz και έχει ρυθμό μεταφοράς 533 Mbytes/sec. Το AGP 4X χρονίζεται στα 266 MHz και έχει ρυθμό μεταφοράς 1.06 Gbytes/sec. Τέλος το AGP 8X χρονίζεται στα 533 MHz και έχει ρυθμό μεταφοράς 2.12 Gbytes/sec.



Σύγκριση Διαύλων

Δίαυλος	Συχνότητα	Εύρος Διάυλου	Ταχύτητα Μεταφοράς
FSB	533 MHz	32 bits	2.12 Gbytes/sec
ISA-8	4.77 MHz	8 bits	2.38 Mbytes/sec
ISA-16	10 MHz	16 bits	8 Mbytes/sec
PCI	133 MHz	64 bits	1066 Mbytes/sec
Compact PCI	33 MHz	64 bits	133 Mbytes/sec
PCMCIA	10 MHz	16 bits	20 Mbytes/sec
USB 1.1	N/A	1 bit	1.5 Mbyte/sec
USB 2.0	N/A	1 bit	60 Mbytes/sec
IEEE 1394	N/A	1 bit	400 Mbytes/sec
AGP 8X	533 MHz	32 bits	2.12 Gbytes/sec